

日 本 国 特 許 庁
JAPAN PATENT OFFICE

#4/Pat
5-16-2
June

JC997 U.S. PTO
10/066608
02/06/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 7月 5日

出 願 番 号
Application Number:

特願2001-204397

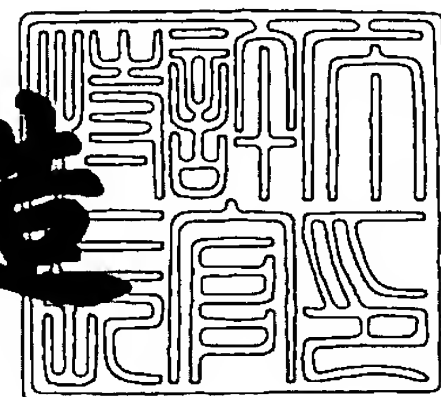
出 願 人
Applicant(s):

三菱電機株式会社

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069065

【書類名】 特許願

【整理番号】 532901JP01

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大中道 崇浩

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大森 達夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 内部回路、

前記内部回路とパッドとの間に結合され、前記パッドと前記内部回路との間で高周波信号を伝送する信号伝達線、

前記信号伝達線の第 1 のノードと第 1 の電源ノードとの間に接続され、少なくとも前記高周波信号よりも高周波の信号線分を伝達するバイパス伝送線路、および

前記信号伝達線の第 2 のノードと前記第 1 の電源ノードとの間に接続され、前記第 1 のノードの電圧が所定の電圧レベルを超えると前記第 2 のノードと前記第 1 の電源ノードとの間で電流を流す第 1 のサージ導通素子を備え、前記第 2 のノードは、前記第 1 のノードと前記内部回路の間に配置される、半導体装置。

【請求項 2】 前記第 1 のサージ導通素子は、前記第 2 のノードから前記第 1 の電源ノードに向かって逆方向に結合される P N 接合を有する、請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 のサージ導通素子は、ゲートと第 1 の導通ノードとバックゲートが前記第 1 の電源ノードに接続されかつ第 2 の導通ノードが前記第 2 のノードに接続される絶縁ゲート型電界効果トランジスタを備える、請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 のサージ導通素子は、前記第 2 のノードから逆方向に接続されるダイオード素子を備える、請求項 1 記載の半導体装置。

【請求項 5】 前記第 1 のノードと前記内部回路との間の前記信号伝達線上の第 3 のノードと第 2 の電源ノードとの間に接続され、前記第 3 のノードの電圧が通常動作時の電圧レベルを超えると導通する第 2 のサージ導通素子をさらに備える、請求項 1 記載の半導体装置。

【請求項 6】 前記第 2 のサージ導通素子は、前記第 3 のノードから前記第 2 の電源ノードに向かって逆方向に結合される P N 接合を有する、請求項 5 記載の半導体装置。

【請求項 7】 前記第 2 のサージ導通素子は、ゲートと第 1 の導通ノードとバックゲートが前記第 2 の電源ノードに接続されかつ第 2 の導通ノードが前記第 3 のノードに接続される絶縁ゲート型電界効果トランジスタを備える、請求項 5 記載の半導体装置。

【請求項 8】 前記第 2 のサージ導通素子は、前記第 3 のノードから逆方向に接続されるダイオード素子を備える、請求項 5 記載の半導体装置。

【請求項 9】 前記第 2 のノードと前記内部回路の間に接続される容量素子をさらに備える、請求項 1 記載の半導体装置。

【請求項 10】 前記第 1 の電源ノードと第 2 の電源ノードとの間に接続され、前記第 1 および第 2 の電源ノードの電圧差を所定電圧以下の電圧レベルに保持するクランプ回路をさらに備える、請求項 1 記載の半導体装置。

【請求項 11】 前記クランプ回路は、第 1 導電型の基板領域表面に形成される第 2 導電型の拡散層のブレークダウン電圧よりも低い電圧レベルに前記第 1 の電源ノードと前記第 2 の電源ノードとの間の電圧差をクランプする、請求項 10 記載の半導体装置。

【請求項 12】 前記クランプ回路は、前記第 1 の電源ノードにゲートと第 1 の導通ノードとバックゲートとが接続されかつ第 2 の導通ノードが前記第 2 の電源ノードに接続される絶縁ゲート型電界効果トランジスタを備える、請求項 10 記載の半導体装置。

【請求項 13】 前記クランプ回路は、前記第 2 の電源ノードにゲートとバックゲートと第 1 の導通ノードが接続されかつ第 2 の導通ノードが前記第 1 の電源ノードに接続される絶縁ゲート型電界効果トランジスタを備える、請求項 10 記載の半導体装置。

【請求項 14】 前記クランプ回路は、
前記第 1 の電源ノードと前記第 2 の電源ノードとの間に前記第 1 の電源ノードから順方向に接続される少なくとも 1 個の第 1 のダイオード素子と、
前記第 2 の電源ノードと前記第 1 の電源ノードとの間に前記第 2 の電源ノードから順方向に接続される少なくとも 1 個の第 2 のダイオード素子を備える、請求項 10 記載の半導体装置。

【請求項 1 5】 前記第 1 の電源ノードは接地ノードである、請求項 1 記載の半導体装置。

【請求項 1 6】 前記バイパス伝送線路は、前記内部回路の動作周波数の実効波長の実質的に $1/4$ 倍の長さを有する $1/4$ 波長伝送路である、請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、高周波信号を処理する高周波回路の入出力回路の静電放電破壊に対する保護回路の構成に関する。

【0 0 0 2】

【従来の技術】

静電気帯電した物体が、他の物体と接触し、これらの物体間で起こる放電現象は、ESD（エレクトロ・スタティック・ディスチャージ）と呼ばれる。半導体素子に対するESDは、その半導体素子を破壊することがある。ESDの代表的なモデルとしては、以下の3種類のモデルがある：（a）帯電した人体から半導体素子への放電をモデル化したHBM（ヒューマン・ボディ・モデル）；（b）帯電した装置から半導体素子への放電をモデル化したMM（マシン・モデル）；および（c）半導体素子内部の半導体自身に帯電した電荷が、接地された物体に放電される様子をモデル化したCDM（チャージ・デバイス・モデル）。

【0 0 0 3】

図 1 2 は、CDMおよびHBMのESDサージ電流波形例を示す図である。図 1 2 において、横軸は時間（単位 ns）を示し、縦軸に電流（単位 A）を示す。図 1 2 に示すように、HBMに基づくESD電流においては、人体帯電した電荷が抵抗を介して放電されるため、約 1 0 0 ns（ナノ秒）という比較的長時間にわたって約 1 A（アンペア）程度の電流ストレスが生じる。一方、CDMに基づくESD電流においては、半導体に帯電した電荷が抵抗を介することなく接地された物体に放電されるため、約 1 0 A 程度の高電流ストレスが、約 1 ns という非常に短い時間に印加される。

【 0 0 0 4 】

この図 1 2 に示すように、E S D 発生時においては、高電流が短時間の間に半導体素子に印加される。したがって、ジュール熱による配線等の溶解という「熱的破壊」が生じる可能性がある。特に、近年の L S I (ラージ・スケールド・インテグレーション) シリコン (S i) デバイスの主流である M I S (メタル・インシュレータ・セミコンダクタ) トランジスタ構造を用いる場合には、M I S トランジスタのゲート絶縁膜に E S D による高電界が印加されると、このゲート絶縁膜の絶縁破壊が生じる可能性が高く、E S D による素子の破壊が大きな問題となる。

【 0 0 0 5 】

入出力ピン (ワイヤボンディング工程により入出力ピンと接続するシリコンウエハ上の対象物は、パッドであり、以下、入出力パッドとして説明を行なう) と内部回路の間に各種の E S D 保護回路を形成する対策が一般に施される。この保護回路により、E S D 現象の際に流れる高電圧サージが内部回路に伝達するのを防止し、半導体素子の破壊を防止する。このような E S D 現象による高電圧サージが内部回路に伝達するのを防止する回路は、一般に、E S D 保護回路と呼ばれる。

【 0 0 0 6 】

この E S D 保護回路としては、たとえば、Ker 等により 1 9 9 6 I E E E、I E D M 9 6 - 8 8 9 の第 8 8 9 頁から第 8 9 2 頁において示されているように、通常動作モード時オフ状態に保持される M O S トランジスタを入出力信号線に接続する回路が用いられる。ここで、通常動作モードとは、E S D サージ発生以外の通常の電圧レベルの振幅の信号が伝達される動作モードを示す。

【 0 0 0 7 】

図 1 3 は、従来の E S D 保護回路の構成の一例を示す図である。図 1 3 において、E S D 保護回路は、入出力パッド 1 に結合される信号伝達線 2 と電源ノードの間に接続される P チャネル M O S トランジスタ (以下、M I S トランジスタを一般的に用いられる M O S トランジスタとして示す) P T と、信号伝達線 2 と接地ノードの間に接続される N チャネル M O S トランジスタ N T を含む。

【 0 0 0 8 】

PチャネルMOSトランジスタPTは、ゲートG、ソースSおよびバックゲートBG（Nウェル：基板領域）が外部電源電圧VDDを受ける電源ノードに接続され、ドレインDが信号伝達線2に接続される。

【 0 0 0 9 】

NチャネルMOSトランジスタNTは、ゲートG、バックゲートBG（Pウェル：基板領域）、およびソースSが接地ノードに接続され、ドレインDが、信号伝達線2に結合される。この信号伝達線2は、内部回路3と入出力パッド1とを結合して外部と内部回路3の間で信号を転送する。

【 0 0 1 0 】

通常動作モード時には、これらのMOSトランジスタPTおよびNTは、それぞれ、ソースSおよびゲートGが相互接続されており、非導通状態にあり、電流経路は形成しないため、内部回路3の動作には影響は及ぼさない。

【 0 0 1 1 】

一方、ESDによるサージが入出力パッド1から信号伝達線2に流入すると、以下に説明するように、このMOSトランジスタPTまたはNTにおいて寄生バイポーラトランジスタ動作が生じ、ドレインDからソースSへ高電流を流す経路が形成される。

【 0 0 1 2 】

図14は、図13に示すNチャネルMOSトランジスタNTの断面構造および寄生バイポーラトランジスタ動作を例示する図である。図14において、NチャネルMOSトランジスタNTは、たとえばシリコン（Si）基板領域に形成されるPウェル100と、このPウェル100表面に、間をおいて形成されるN+拡散層102および104と、これらのN+拡散層102および104の間のPウェル100の領域上に図示しないゲート絶縁膜を介して形成されるゲート電極106を含む。拡散層102および104が、それぞれドレインDおよびソースSとして機能し、Pウェル100が、バックゲートBGとして機能する。

【 0 0 1 3 】

このNチャネルMOSトランジスタNTにおいては、ゲート電極層106、N

+拡散層 1 0 4 および P ウェル 1 0 0 が、接地ノードに結合される。N + 拡散層 1 0 2 が、信号伝達線 2 に接続される。

【 0 0 1 4 】

今、正の高電圧サージが発生した場合、N + 拡散層 1 0 2 に、正電荷が供給される。この正電圧サージに応じて、N + 拡散層 1 0 2 と P ウェル 1 0 0 の間に形成される P N 接合が逆バイアス状態とされ、その P N 接合がブレイクダウンを生じ、大きな電流が、N + 拡散層 1 0 2 から P ウェル 1 0 0 に流れる。この流入電流により、P ウェル 1 0 0 において衝突電流（インパクトイオン化）現象が生じ、多量の電子・正孔対が発生する。この発生した電子・正孔対のうち電子（-）は正電圧が印加された N + 拡散層 1 0 2 に流れ込み、一方、正孔（+）は、P ウェル 1 0 0 を介して接地ノードに流れる。この正孔が P ウェル 1 0 0 を流れることにより生じる電流の大きさを、 I_{hole} 、P ウェル 1 0 0 の抵抗値を R_{sub} とすると、この P ウェル 1 0 0 内において深さ方向に $I_{hole} \cdot R_{sub}$ の電圧降下が生じる。この電圧降下により、P ウェル 1 0 0 の、ゲート電極層 1 0 6 直下の浅い領域 1 0 8 の電位が、正電位に上昇する。したがって、ドレイン N + 拡散層 1 0 2、ゲート直下の浅い P ウェル領域 1 0 8、およびソース N + 拡散層 1 0 4 で形成される N P N 寄生バイポーラトランジスタにおいて、ドレイン N + 拡散層 1 0 2 とゲート直下の浅い P ウェル領域 1 0 8 が逆バイアス状態となり、一方、ゲート直下の浅い P ウェル領域 1 0 8 とソース N + 拡散層 1 0 4 が順方向にバイアスされるため、この寄生 N P N バイポーラトランジスタがオン状態となる。したがって、ゲート G が接地されてオフ状態にあった N チャネル MOS トランジスタ N T は、E S D の正電圧サージが信号伝達線 2 を介してそのドレイン N + 拡散層 1 0 2 に印加されると、N P N 寄生バイポーラトランジスタがオン状態となり、この寄生バイポーラトランジスタの電流増幅動作により、大電流をドレイン N + 拡散層 1 0 2 からソース N + 拡散層 1 0 4 を介して接地ノードへ流すことができる。

【 0 0 1 5 】

この正電圧サージの印加時、また、P チャネル MOS トランジスタ P T においては、ドレイン P + 拡散層とバックゲートの N ウェルが順方向にバイアスされる

ため、PチャネルMOSトランジスタPTにおいても、ドレイン拡散層からバックゲートを介して電源ノードへ正電圧サージ電流を流す。よって、この正電圧サージ発生時には、NチャネルMOSトランジスタNTの寄生バイポーラトランジスタ動作およびPチャネルMOSトランジスタPTのPN接合ダイオードの順方向バイアスによるダイオード動作により、サージ電圧に従って信号伝達線2から接地ノードおよび電源ノードへ大電流を駆動して、高速で高電圧サージを吸収することができる。

【0016】

図15は、図13に示すPチャネルMOSトランジスタPTの断面構造および負電圧サージ発生時の寄生バイポーラトランジスタ動作を例示する図である。図15において、PチャネルMOSトランジスタPTは、Nウェル110表面に間をおいて形成されるP+拡散層112および114と、Nウェル110の拡散層112および114の間の領域上に図示しないゲート絶縁膜を介して形成されるゲート電極層116を含む。ゲート電極層116、P+拡散層およびNウェル110は、電源ノードに結合されて電源電圧VDDを受ける。拡散層112および114が、それぞれドレインDおよびソースSとして機能し、Nウェル110が、バックゲートとして機能する。P+拡散層112が、信号伝達線2に接続される。

【0017】

負電圧サージが発生した場合、ドレインP+拡散層112とNウェル110の間のPN接合のブレイクダウンが発生し、Nウェル110内において衝突電流により、大量の電子・正孔対が発生する。これらの発生した電子・正孔対のうち、電子（-）が、Nウェル110を介して電源ノードへ流れ、一方、正孔（+）は、負電圧サージにより負電圧レベルに保持されたドレインP+拡散層112へ流入する。したがって、このNウェル110においては、Nウェル110の抵抗 R_{subn} とし、電子（-）による電流を I_{ele} とすると、Nウェル110において $I_{ele} \cdot R_{subn}$ の電圧の上昇が、このNウェル110の深さ方向において生じる。

【0018】

このNウェル110での電圧の深さ方向における上昇により、ゲート電極層116直下の浅いNウェル領域118の電圧レベルが低下し、ソースP+拡散層114とゲート電極直下の浅いNウェル領域118の間が、順方向にバイアスされ、一方、浅いNウェル領域118とドレインP+拡散層との間が逆方向にバイアスされる。したがって、このソースP+拡散層、浅いNウェル領域118、およびドレインP+拡散層112により形成されるPNP寄生バイポーラトランジスタがオン状態となり、大きな電流が信号伝達線から電源ノードに流れ、負電圧サージが吸収される。

【0019】

このときまた、NチャネルMOSトランジスタNTにおいても、バックゲートのPウェル100とドレインN+拡散層102は順方向にバイアスされ、ダイオード動作によりバックゲート100からドレインN+拡散層102に電流が流れ、負電圧サージが吸収される。

【0020】

したがって、この図13に示すように、通常動作モード時オフ状態に保持されるMOSトランジスタを用いたESD保護回路により、ESD発生時に大電流を接地ノードおよび/または電源ノードへ流すことが可能となり、内部回路3に、このサージによる高電流が流れるのを防止して、前述の熱的破壊およびゲート絶縁膜の絶縁破壊を防止することができる。

【0021】

【発明が解決しようとする課題】

通常動作時オフ状態に保持されるMOSトランジスタが、良好なESD保護機能を果たすためには、このMOSトランジスタのレイアウト上の注意が必要であることがよく知られている。

【0022】

図16は、従来のESD保護用MOSトランジスタの平面レイアウトを概略的に示す図である。図16において、ESD保護用MOSトランジスタは、ソース領域SR、ゲート電極Gおよびドレイン領域DRが交互に配置される。これらのソース領域SR、ゲート電極Gおよびドレイン領域DRは、大きな電流を駆動す

るために、その幅 W は十分大きくされる。ソース領域 SR およびドレイン領域 DR には、それぞれコンタクト CT を介して信号配線（信号伝達線または電源／接地線）との電氣的コンタクトが取られる。

【0023】

このESD保護用MOSトランジスタにおいては、コンタクト CT とゲート電極 G の間の距離 d を十分大きくする必要がある。前述のKer等の文献によれば、このゲート電極 G とコンタクト CT の間の距離 d は、5から6 μm 確保する必要があるとされている。大きなサージ電流によりドレイン電界が高くなり、ホットエレクトロンにより、ゲート絶縁膜が破壊されるのを防止するためである。

【0024】

コンタクト CT の直径を c とした場合、ゲート電極 G で挟まれるソース領域 SR およびドレイン領域 DR の幅は、 $2d + c$ となる。したがって、ESD保護素子として使用するMOSトランジスタにおいては、ゲート電極／コンタクト間距離 d を十分大きく取る必要があり、応じて、これらのソース領域 SR およびドレイン領域 DR の幅 W_s も十分大きくする必要がある。通常、0.2 μm の設計ルールにおいては、このコンタクトの直径 c が、一般的に、0.2 μm 程度である。したがって、これらのソース領域 SR およびドレイン領域 DR の幅 W_s は、 $2 \cdot d + c$ から、10.2から12.2 μm となる。

【0025】

また、十分なESD保護機能を実現するためには、MOSトランジスタのゲート幅 W_g は、大電流を駆動するため、最低100 μm 必要である。

【0026】

したがって、図17に示すように、ソース領域 SR およびドレイン領域 DR は、 $W_g \cdot W_s$ の面積を有する。0.2 μm 設計ルールにおける一般的な単位面積当りのソース／ドレイン拡散層の寄生容量は、1 fF/ μm^2 である。ここで、ソース／ドレイン拡散層の寄生容量は、ドレイン／ソース拡散層とウェル領域の間のPN接合の空乏層容量を示す。したがって、図17に示すようなソース領域 SR およびドレイン領域 DR を利用する場合、ESD保護素子として用いられるMOSトランジスタのソース／ドレイン拡散層のウェルに対する寄生容量は、1

、0.2から1.22 pFとなり、この寄生容量は非常に大きな容量値を有する。

【0027】

このようなESD保護素子のウェル領域と拡散領域の間に形成される非常に大きな寄生容量は、動作速度が比較的低い半導体メモリおよび論理回路装置においては、それほど致命的な問題とはならない。

【0028】

近年、携帯電話の普及および無線LAN（ローカル・エリア・ネットワーク）の実用化に伴って、これらに用いられる電子機器の高性能化、小型化および低コスト化を実現するために不可欠な高周波動作が可能な高周波半導体装置が脚光を浴びている。この高周波半導体装置を実現する材料としては、これまでは、高い電子移動度を持つGaAsなどのIII-V族化合物半導体が主として用いられてきていた。しかしながら、近年、シリコン（Si）を用いて形成されるMOSトランジスタの微細化が急激に進み、0.2 μ m以下の微細ゲート長を有するMOSトランジスタを形成することが可能となってきた。このような微細ゲート長を有するMOSトランジスタは、トランスコンダクタ G_m が著しく向上し、高周波特性が向上しており、ギガヘルツ帯高周波デバイスに適用することができる特性を有するMOSトランジスタが実現されている。したがって、このようなSi-MOSトランジスタ（Siを主要構成材料とするMOSトランジスタ）を利用する高周波デバイスにおいては、このESD保護素子としてこの大きな寄生容量が問題となる。

【0029】

図18は、このESD保護素子の等価回路を概略的に示す図である。PチャネルMOSトランジスタPTについては、信号伝達線2と電源ノードの間に、寄生容量 C_{dp} とウェル抵抗 R_{wn} が直列に接続される。一方、NチャネルMOSトランジスタにおいては、信号伝達線2と接地ノードの間に、寄生容量 C_{dn} とウェル抵抗 R_{wp} とが直列に接続される。

【0030】

一般に、容量CのインピーダンスZの大きさ $|Z|$ は、 $1/(2 \cdot \pi \cdot f \cdot C)$ で表わされる。ここで、fは、周波数を示す。したがって、周波数fが大きく

なり、高周波信号を処理する場合、容量 C のインピーダンスの大きさ $|Z|$ が小さくなる。また、容量 C の容量値が大きくなると、容量 C のインピーダンス Z の大きさ $|Z|$ がさらに小さくなる。したがって、この図18に示すように、信号伝達線2に、ドレイン拡散層の寄生容量 C_{dp} および C_{dn} が接続される場合、高周波信号H F S Gが伝達される場合、このドレイン拡散層寄生容量 C_{dp} および C_{dn} のインピーダンスの大きさは、非常に小さくなる。

【0031】

シリコン半導体装置においては、たとえばGroves等により、1999 I E E E B C T M の第149頁から第152頁において述べられているように、G a A s のような化合物半導体を主要構成要素とする化合物半導体装置において用いられているような反絶縁性の高抵抗基板は、高品質なものが入手することができないため、低抵抗基板（約 $0.01 \Omega - cm$ ）が用いられている。この低抵抗基板上に、ウェル領域を形成しても、このウェル領域は低抵抗である。したがって、ウェル抵抗 R_{wn} および R_{wp} も小さくなる。したがって、信号伝達線2に、高周波信号H F S Gが伝達された場合、この信号伝達線2と電源ノードおよび信号伝達線2と接地ノードの間のインピーダンスが小さく、E S D 保護素子を介して高周波信号H F S Gの成分が流れ、ウェル抵抗 R_{wn} および R_{wp} により損失される。

【0032】

したがって、高周波回路装置において、通常動作モード時オフ状態となるM O S トランジスタを用いてE S D 保護素子を形成した場合、信号損失が大きく、高周波半導体装置（内部回路3）を安定に動作させることができなくなる。

【0033】

すなわち、高いE S D 耐性を有しかつ高信頼性のある高機能高周波S i - M O S 半導体装置を実現するのは非常に困難である。

【0034】

また、このようなシリコン（S i）を利用する半導体回路装置のみならず、G a A s 等の化合物半導体を用いた高周波半導体回路装置においても、E S D 保護を行なうために、ダイオードなどのE S D 保護素子を付加することが試みられて

いる。しかしながら、高周波動作時には、このダイオード素子の寄生容量が信号伝達線に付随するため、この半導体回路装置の高周波特性が劣化し、高いESD耐性を有する信頼性の高い高周波化合物半導体装置はまだ実現されていない（たとえば、Bock等の1997年EOS/ESDシンポジウムの第1頁から第12頁参照）。

【0035】

ESD耐性が低い半導体装置では、この半導体装置製造後の半導体チップの検査および実装を行なう工程において、発生するESDサージによりこの半導体装置の破壊が生じ、チップ歩留まりを著しく低下させる。

【0036】

上述のように、SiMOS高周波装置のみならず、化合物半導体高周波素子においても、高いESD耐性を有する高信頼かつ高性能の高周波半導体装置を実現することが広く望まれている。

【0037】

それゆえ、この発明の目的は、高周波特性の劣化をもたらすことなく、ESD耐性を改善することのできる高周波半導体装置を提供することである。

【0038】

【課題を解決するための手段】

この発明に係る半導体装置は、内部回路とパッドとの間に結合され、このパッドと内部回路との間で高周波信号を伝送する信号伝達線と、信号伝達線の第1のノードと第1の電源ノードとの間に接続され、少なくとも高周波信号よりも高周波の信号線分を伝達するバイパス伝送線路と、この信号伝達線の第2のノードと第1の電源ノードとの間に接続され、第2のノードの電圧が所定の電圧レベルを超えると第2のノードと第1の電源ノードの間で電流を流す第1のサージ導通素子を含む。この第2のノードは、第1のノードと内部回路の間に配置される。

【0039】

好ましくは、第1のサージ導通素子は、第2のノードから第1の電源ノードに向かって逆方向に結合されるPN接合を有する。

【0040】

また、好ましくは、第1のサージ導通素子は、ゲートと第1の導通ノードとバックゲートとが第1の電源ノードに接続されかつ第2の導通ノードが第2のノードに接続される絶縁ゲート型電界効果トランジスタで構成される。

【0041】

これに代えて、好ましくは、第1のサージ導通素子は、第2のノードから逆方向に接続されるダイオード素子で構成される。

【0042】

また、好ましくは、さらに、第1のノードと内部回路との間の信号伝達線上の第3のノードと第2の電源ノードとの間に接続され、第3のノードの電圧が通常動作時の電圧レベルを超えると導通する第2のサージ導通素子が設けられる。

【0043】

好ましくは、第2のサージ導通素子は、第3のノードから第2の電源ノードに向かって逆方向に結合されるPN接合を有する。

【0044】

好ましくは、第2のサージ導通素子は、ゲートと第1の導通ノードとバックゲートとが第2の電源ノードに接続されかつ第2の導通ノードが第3のノードに接続される絶縁ゲート型電界効果トランジスタで構成される。

【0045】

また、これに代えて、好ましくは、第2のサージ導通素子は、第3のノードから逆方向に接続されるダイオード素子で構成される。

【0046】

また、好ましくは、さらに、信号伝達線と内部回路の間に容量素子が直列に接続される。

【0047】

好ましくは、さらに、第1の電源ノードと第2の電源ノードの間に、これら第1および第2の電源ノードの電圧差を所定電圧以下の電圧レベルに保持するクランプ回路が設けられる。

【0048】

好ましくは、クランプ回路は、第1導電型の基板領域表面に形成される第2導

電型の拡散層のブレークダウン電圧よりも低い電圧レベルにクランプする。

【 0 0 4 9 】

好ましくは、クランプ回路は、第 1 の電源ノードにゲートと第 1 の導通ノードとバックゲートとが接続されかつ第 2 の導通ノードが第 2 の電源ノードに接続される絶縁ゲート型電界効果トランジスタで構成される。

【 0 0 5 0 】

これに代えて、好ましくは、クランプ回路は、第 2 の電源ノードにゲートとバックゲートと第 1 の導通ノードが接続されかつ第 2 の導通ノードが第 2 の電源ノードに接続される絶縁ゲート型電界効果トランジスタで構成される。

【 0 0 5 1 】

またこれに代えて、好ましくは、クランプ回路は、第 1 の電源ノードと第 2 の電源ノードとの間に第 1 の電源ノードから順方向に接続される少なくとも 1 個の第 1 のダイオード素子と、第 2 の電源ノードと第 1 の電源ノードとの間に第 2 の電源ノードから順方向に接続される少なくとも 1 個の第 2 のダイオード素子とを含む。

【 0 0 5 2 】

好ましくは、第 1 の電源ノードは、接地電圧を受けるノードである。

また、好ましくは、バイパス伝送線路は、内部回路の動作周波数の実効波長の実質的に $1/4$ 倍の長さを有する $1/4$ 波長伝送路である。

【 0 0 5 3 】

信号伝達線に、バイパス伝送線路を第 1 の電源ノードとの間に接続し、後段に、第 1 のサージ導通素子を設ける。信号伝達線に高周波信号が伝達された場合、この内部回路の通常動作時の動作周波数の信号の場合、伝送線路は高インピーダンス状態となり高周波成分はバイパスされず、内部回路に信号伝達線を介して転送対象の高周波信号が伝達される。一方、高電圧サージが伝達された場合、高電圧サージが、過渡放電現象であり多くの周波数成分を有しており、この高電圧サージ成分において、少なくとも転送対象の高周波信号の周波数成分以外の成分は伝送線路を介して吸収される。

【 0 0 5 4 】

後段の第1のサージ導通素子は、吸収されないサージ電圧成分を吸収する。したがって、この後段の第1のサージ導通素子に関しては、大きな電流能力は要求されず、その拡散層の寄生容量は小さくされ、高周波信号に対するインピーダンスの大きさは十分大きくすることができる。したがって、通常の高周波信号成分の損失を伴うことなく、確実に、高電圧サージを吸収することができ、信頼性の高い高周波半導体装置を実現することができる。

【0055】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1に従うESD保護回路の構成を示す図である。図1において、高周波信号入出力パッド1が信号伝達線2に結合される。この信号伝達線2の第1のノード2aと接地ノード14の間に、 $1/4$ 波長伝送線路10が接続される。また、この信号伝達線2の第2のノード2bに、NチャネルMOSトランジスタ型ESD保護素子12が接続される。このESD保護素子12は、バックゲート、ゲートおよび第1の導通ノード（ソース）が接地ノード14に接続され、第2の導通ノード（ドレイン）が、第2のノード2bに接続される。第2のノード2bは、第1のノード2aに比べて、入出力パッド1からの距離が長く、内部回路3により近い。

【0056】

信号伝達線2は、直流成分を遮断するDCカット用容量素子16を介して内部回路3に結合される。このDCカット用容量素子16は、たとえば、入出力パッド1からの高周波信号に、直流バイアス電圧 V_{bias} を重畳して内部回路3に与える場合、この直流バイアス電圧 V_{bias} が、 $1/4$ 波長伝送線路10に伝達されて、大電流が $1/4$ 波長伝送路10に流れるのを防止するために設けられる。すなわち、DCカット用容量素子16は、内部回路3に対するバイアス電圧印加ノードと信号伝達線2との間に接続される。

【0057】

このESD保護素子12を構成するNチャネルMOSトランジスタのゲート幅は、たとえば $100\mu m$ 未満と従来の保護素子に比べて小さく設定される。この

ゲート幅を小さくすることにより、拡散層の接合容量によるインピーダンスを小さくする。

【0058】

1/4波長伝送線路10としては、たとえば、マイクロストリップ線路、コプレーナ線路、ストリップ線路、およびスロット線路等の伝送線路を使用することができる。この1/4波長伝送線路10は、内部回路3の動作周波数 f の実効波長 λ の1/4倍の長さを有する。この伝送線路10を形成する配線の第1のノード2aから接地ノード14までの間の配線層抵抗が高い場合、ESDサージ大電流が流れた場合、その抵抗におけるジュール熱の発生により、配線の破壊が生じる可能性がある。したがってESD保護耐性を高くするために、この1/4波長伝送線路10を形成する配線材料としては、シリコンを利用するSi半導体装置においては、膜厚の厚いアルミニウム配線または銅配線を用いるのが好ましい。化合物半導体装置においては、金配線等の低抵抗材料を用いるのが望ましい。

【0059】

また、この1/4波長伝送線路10の配線幅についても、できるだけ広い方が配線抵抗を低減するために有効であり、ESD耐性を高くするために望ましい。しかしながら、この第1のノード2aは高周波信号を伝達する信号伝達線の分岐点となるため、この第1のノード2aにおいてインピーダンス不整合が生じるのを防止する必要がある。したがって、この1/4波長伝送線路10の配線幅およびその構造については、この第1のノード2aにおけるインピーダンス整合の条件が満たされるように各パラメータを決定する必要がある。

【0060】

また、この1/4波長伝送線路10については、半導体基板下面を用いて、この線路の接地面を形成してもよく、また多層配線構造における下層の金属配線を用いて線路の接地面を形成してもよい（上層金属配線が、伝送線路を形成する場合）。

【0061】

直流成分を遮断するDCカット用容量素子16としては、金属配線層間に容量素子を形成するMIM（メタル・インシュレータ・メタル）容量素子などの任意

の構造の容量素子を利用することができる。

【 0 0 6 2 】

次に、この図 1 に示す E S D 保護回路の動作について説明する。

図 2 に示すように、通常の高周波動作時においては、先端が接地された $1/4$ 波長伝送線路 1 0 は、高周波信号を伝達する信号伝達線 2 との接続点（第 1 のノード） 2 a において高インピーダンス（ $H i - Z$ ：開放）状態となり、すなわち先端短絡スタブの動作と同様となり、高周波信号 H F S G は、この $1/4$ 波長伝送線路 1 0 に流入しない。

【 0 0 6 3 】

後段の第 2 のノード 2 b に配置された N チャネル M O S トランジスタを利用する E S D 保護素子 1 2 は、ゲート幅（図 1 7 のゲート幅 $W g$ ）が十分小さく、そのドレイン寄生容量の容量値は小さく、このドレイン寄生容量による信号損失はほとんど生じない。したがって、この信号伝達線 2 上を伝達される高周波信号 H F S G は、内部回路 3 の動作周波数 f であれば、確実に入出力パッド 1 から内部回路 3 へ伝達されるため、高周波特性はほとんど変化しない。

【 0 0 6 4 】

D C カット用容量素子 1 6 は、単に直流成分を遮断するために設けられており、この高周波信号 H F S G に対するインピーダンスの大きさは十分小さいため、確実に、信号損失を生じることなく高周波信号 H F S G を、内部回路 3 に伝達することができる。

【 0 0 6 5 】

一方、図 3 に示すように、入出力パッド 1 に E S D サージが流入した場合は、この信号伝達線 2 においてサージ信号が過渡放電現象により生じる。この E S D サージ信号 E S D S R G は、過渡現象のため、多くの周波数成分を有する。この E S D サージ信号 E S D E S R G の成分のうち、内部回路 3 の動作周波数 f 以外の周波数成分 S R G 1 に対しては、 $1/4$ 波長伝送線路 1 0 は、低インピーダンスの配線としてふるまい、動作周波数 f 以外の周波数成分に対応するサージ成分 S R G 1 を、接地ノード 1 4 に流出させる。

【 0 0 6 6 】

このような $1/4$ 波長の伝送線路 10 を ESD 保護に用いる手法は、半導体チップ製造分野以外の分野、すなわちマイクロ波ユニットをモジュールとしてボード上に構成する場合の ESD 保護回路として提案されている。このようなマイクロ波技術において半導体チップ外部に ESD 保護回路として、 $1/4$ 波長伝送線路を利用する場合、ESD サージは、直流と見なされるため、この $1/4$ 波長の伝送線路を用いて接地面へ逃がすことができる。

【0067】

しかしながら、本発明のように、半導体装置のチップにおける ESD 保護の場合、単に、 $1/4$ 波長の伝送線路を用いた場合、以下のような問題が生じる。すなわち、ESD による破壊現象として、前述のように大きく 3 つのモデルが考えられている。これらのモデルのうち、半導体自身に帯電した電荷が、接地された導体に放電される現象である CDM は、HBM と異なり、抵抗を介した放電現象とはならないため、 1 ns というような非常に短い時間で放電が生じる。したがって、この半導体に流れるサージ電流は、GHz オーダの周波数成分を有することになり、直流ではなく、高周波電流である。すなわち、上述のようなモジュールでマイクロ波ユニットを構成するような場合と異なり、半導体チップに対する ESD の場合、直流サージ電流成分ではなく、高周波電流成分となる。

【0068】

さらに、近年の急速な半導体装置の微細化および縮小化に伴って、帯電する半導体装置のキャパシタンスがますます小さくなり（帯電した半導体の寄生容量が小さくなる）、この CDM の ESD サージ電流波形は、電荷が急激に放電されるため、さらに急峻になる。

【0069】

したがって、マイクロ波回路モジュール分野においては、直流と見なすことができ、ESD サージを有効に保護することが可能である $1/4$ 波長伝送線路を用いた ESD 保護回路を、そのまま、微細化の進んだ半導体チップ内の回路へ適用しても、半導体チップに形成される半導体装置においては ESD サージ電流は高周波成分として現れるため、完全な ESD 保護を実現することができない。

【0070】

このため、 $1/4$ 波長伝送線路 10 により動作周波数 f 成分以外のサージ成分を接地面に流出させ、かつさらに内部回路 3 と $1/4$ 波長伝送線路 10 の間に、MOS トランジスタ型 ESD 保護素子 12 を設け、内部回路 3 の動作周波数 f を有するサージ成分 SRG2 を、MOS トランジスタ型 ESD 保護素子 12 により接地ノードへ放電する。

【0071】

すなわち、内部回路 3 の動作周波数 f 以外の周波数成分の ESD サージ SRG1 を、分布定数の機能を用いた $1/4$ 波長伝送線路 10 により接地面に放出し、また周波数 f の周波数成分の ESD サージ SRG2 は、他の集中定数素子である MOS トランジスタを用いた ESD 保護素子 12 により放出することにより、効率的に、かつ確実に ESD サージ ESD SRG を放出することができる。

【0072】

特に、この内部回路の動作周波数 f の周波数成分の ESD サージ SRG2 は、ESD サージ ESD SRG の総電流量のうち、非常に少ない電流量であり、この ESD 保護回路 12 を構成する N チャネル MOS トランジスタのゲート幅を十分小さくした場合でも、確実に、この動作周波数成分の ESD サージ SRG2 を放出することができ、内部回路 3 に対する高い ESD 耐性を確保することができる。

【0073】

すなわち、 $1/4$ 波長伝送線路 10 を先端短絡スタブとして機能させて、高周波動作特性に影響を及ぼすことなく ESD サージの動作周波数 f 以外の周波数成分 SRG1 が内部回路 3 に流入するのを保護する機能を実現し、さらに、半導体チップにおいて問題となる CDM の ESD サージ成分のうちの動作周波数 f の周波数成分を次段の集中定数素子の ESD 保護素子 12 により回避することにより、ESD 耐性を有する高特性の高周波数半導体装置を実現することが可能となる。

【0074】

この $1/4$ 波長伝送線路 10 は、直流信号に対しても、低インピーダンスの配線としてふるまう。したがって、この信号伝達線 2 に直流信号が流入した場合、

この1/4波長伝送線路の接地面との短絡が生じ、大きな電流が流れる。しかしながら、このような直流信号がバイアス電圧として印加される内部回路3のバイアス入力ノードと内部信号伝達線2の間に直流カット用の容量素子16を配置することにより、信号伝達線2に直流信号が伝達されるのを防止することができる。

【0075】

特に、この半導体装置を、モジュールに実装する場合には、通常、入出力パッド1には、半導体チップ外部において、ピン端子に対し直流成分カット用の容量素子がモジュール側の端子に接続される。したがって、このモジュール側端子に外付けされる直流成分カット用の容量素子が入出力パッド1に伝達される高周波信号成分に含まれる直流信号成分を除去するため、入出力パッド1に、外部から直流成分が流入することはない。

【0076】

したがって、この1/4波長伝送線路10に対しては、直流信号の流入は確実に防止することができるため、この1/4波長伝送線路10での、直流信号によるDCリーク電流の発生は確実に防止することができる。

【0077】

したがって、従来のモジュールにおいて提案されている回路構成のままの1/4波長伝送線路をESD保護回路として利用した場合、この1/4波長伝送線路がDC的に短絡していることが問題となり、半導体チップ上で使用不可能であるものの、DCカット容量素子16を、このESD保護回路と内部回路3との間に配置し、また外部のピン端子に接続する直流成分遮断用の容量素子と内部に設けられた容量素子16両者を利用することにより、確実に直流成分による1/4波長伝送線路10の短絡を防止でき、高周波回路として、何らその動作特性を低下させることなく、このようなESD保護回路を有する半導体装置を使用することができる。

【0078】

なお、この半導体装置の動作周波数 f が高い場合には、伝送線路を信号伝達線2として用いてもよい。インピーダンス整合の観点から、この入出力パッド1に

接続される系のインピーダンスと一致した特性インピーダンスを有する伝送線路をこの信号伝達線 2 として利用する。1 / 4 波長伝送線路 1 0 との分岐点（第 1 のノード）2 a においてインピーダンス不整合が大きくなるように、1 / 4 波長伝送線路 1 0 および信号伝達線 2 の配線幅および構造を設定する。

【 0 0 7 9 】

以上のように、この発明の実施の形態 1 に従えば、1 / 4 波長伝送線路によるいわゆる先端短絡スタブおよび NMOS トランジスタ型 ESD 保護素子を用いて ESD 保護回路を構成することにより、高周波動作特性に影響を及ぼすことなく ESD サージが内部回路に流入するのを確実に防止することができ、高い ESD 耐性を有する高信頼、かつ高特性の高周波半導体装置を実現することができる。

【 0 0 8 0 】

〔実施の形態 2〕

図 4 は、高周波半導体装置のパッケージとピン配置の構成の一例を示す図である。図 4 においては、QFD パッケージを一例として示す。矩形形状のパッケージ周辺に、ピン端子が配置される。これらのピン端子においては、電源電圧 VDD を受ける電源ピン PTV 1 および PTV 2 と、接地電圧 GND を受ける接地ピン PTS 1 および PTS 2 と、高周波信号 HF を受けるピン端子群 PTHG と、バイアス電圧および制御信号などのその他の信号／電圧を受けるピン端子群 PTLG を含む。このパッケージのピン端子 PT（ピン端子を総称的に示す）の 1 つのピン端子に ESD サージが印加される。ESD サージ印加時においては、別の 1 つのピン端子が、ESD サージ発生時の接地面（サージ吸収先）となる。高周波信号入出力ピン群 PTHG のいずれかのピン端子に ESD サージが印加される場合、接地面と印加されるサージの電圧極性から、以下の 4 種類のケースが存在する。

【 0 0 8 1 】

（a） 高周波信号入出力パッドに正電圧の ESD サージが流入し、接地面が接地ピン PTS（PTS 1，PTS 2）である場合、

（b） 高周波信号入出力パッドに正電圧の ESD サージが流入し、接地面が電源ピン PTV（PTV 1，PTV 2）である場合、

(c) 高周波信号入出力パッドに負電圧のESDサージが流入し、接地面が接地ピンPT Sである場合、および

(d) 高周波信号入出力パッドに負電圧のESDサージが流入し、接地面が電源ピンPT Vである場合。

【0082】

その他のピン端子群PT L Gのピン端子が接地面になる場合については、図5に示すように、その他の入出力ピン端子PT L aから電源ピンおよび接地ピンへのサージ流出経路が同様に確保される。

【0083】

すなわち、図5において、ピン端子PT L aが、ボンディングワイヤ36を介してパッド31に結合される。このパッド31は、信号伝達線32を介して内部回路33に結合される。信号伝達線32に対して、それぞれ電源ノードに対するサージ吸収回路35と、接地ノードに対するサージ吸収回路34が設けられる。このピン端子PT L aは、図4に示すその他のピン端子群PT L Gに含まれるピン端子であり、高周波信号と異なる信号が与えられる。

【0084】

一方、高周波信号を入力／出力するピン端子PT H aが、ボンディングワイヤ24を介してパッド1に結合される。このパッド1が信号伝達線2に結合され、信号伝達線2が、DCカット用の容量素子16を介して内部回路3に結合される。この信号伝達線2には、電源ノードに対するESD保護回路22と、接地ノードに対するESD保護回路20が設けられる。ESD保護回路20は、先の実施の形態1に示すように、1／4波長伝送線路とNチャネルMOSトランジスタ型保護素子を含む。ESD保護回路22も、MOSトランジスタなどを用いたESD保護素子を含む。

【0085】

この図5に示すように、ピン端子PT L aに結合される信号伝達線32の電源ノードおよび接地ノードが、それぞれ、ピン端子PT H aに結合する信号伝達線2に対して配置される電源ノードおよび接地ノードに結合される。したがって、ピン端子PT L aが、ESDサージの接地面となる場合においては、このサージ

吸収回路 3 4 および 3 5 により、このピン端子 P T L a から電源ピン P T L および接地ピン P T S へのサージ流出経路が確保される。

【 0 0 8 6 】

この場合、サージ吸収回路 3 4 および 3 5 として、フィールド絶縁膜をゲート絶縁膜として利用するフィールドトランジスタなどを利用すると、接地ノードに正のサージ電圧が印加された場合および電源ノードに負のサージ電圧が印加された場合に、これらのフィールドトランジスタが導通し、ピン端子 P T L a にサージ電圧を流出させることができる。また、これに代えて、逆方向に接続されたダイオード素子をこれらのサージ吸収回路 3 4 3 および 3 5 に利用することにより、電源ノードに正のサージ電圧が伝達された場合および接地ノードに負のサージ電圧が伝達された場合に、これらのダイオード素子のブレークダウンによりサージ電圧をピン端子 P T L a に流出させることができる。

【 0 0 8 7 】

したがって、高周波信号に対するピン端子 P T H a に対する E S D サージの接地面がその他のピン端子 P T L a である場合、その高周波信号に対するピン端子 P T H a からその他のピン端子 P T L a のサージ流出経路は、電源ピン（電源ノード）または接地ピン（接地ノード） P T S を介して確保される。したがって、上述の 4 つのケースに対する E S D サージ流出経路を確保することにより、高周波信号の入出力／出力ピンに対する E S D サージの流出経路をすべて形成することができる。

【 0 0 8 8 】

図 6 は、この発明の実施の形態 2 に従う E S D 保護回路の構成を概略的に示す図である。図 6 において、電源ノード 4 0 a と接地ノード 4 2 a の間に、クランプ回路 4 5 が配置される。このクランプ回路 4 5 は、電源ノード 4 0 a と接地ノード 4 2 a の間の電圧が所定電圧を超えた場合に動作し、電源ノード 4 0 a と接地ノード 4 2 a の間の電圧を所定の電圧レベルに固定する。このクランプ回路 4 5 のクランプ電圧は、正電圧電流の流入時のクランプ電圧と負電圧電流流入時におけるクランプ電圧は、ともに電源電圧 V D D 以上であればよく、同じクランプ電圧でなくてもよい。

【 0 0 8 9 】

この電源ノード40aは、電源線41を介して電源パッド40に結合され、接地ノード42aは、接地線43を介して接地パッド42に結合される。接地線43は、接地ノード14を介して1/4波長伝送線路10とNチャネルMOSトランジスタ型保護素子12に結合される。

【 0 0 9 0 】

高周波信号の入出力パッド1が、実施の形態1と同様、信号伝達線2に結合され、この信号伝達線2に対し、1/4波長伝送線路10およびESD保護素子12が結合される。また、この信号伝達線2は、容量素子16を介して内部回路3に結合される。

【 0 0 9 1 】

この図6に示す構成の場合、以下のようにして、各サージに対して流出経路を確保することができる。

【 0 0 9 2 】

前述のケース(a)において、入出力パッド1に正電圧のESDサージが流入し、接地面が接地ピンであり、接地パッド42に正のサージ電圧が流出する場合、1/4波長伝送線路10を介して接地線43に、この正電圧サージが流出し、次いで、この接地パッド42から接地面である対応の接地ピンに、この正電圧のサージが流出する。

【 0 0 9 3 】

ケース(b)のように、サージが正電圧であり、かつ接地面が電源ピンの場合、入出力パッド1に流入した正電圧のESDサージが、1/4波長伝送線路10を介して接地線43に流出する。次いで、このクランプ回路45が動作し、この接地ノード42aに伝達された正のサージ電圧を、電源ノード40aから電源線41を介して電源パッド40に伝達する。この電源パッド40に流出した正電圧サージは、対応の電源ピンに流出する。

【 0 0 9 4 】

ケース(c)のように、負電圧のESDサージが流入し、接地面が接地ピンの場合には、1/4波長伝送線路10を介してこのサージが、接地線43に流出し

、接地パッド42を介して接地面である接地ピンに流出する。この場合には、NチャネルMOSトランジスタ型ESD保護素子12も導通し、同様、信号伝達線2に伝達された負電圧のESDサージを、そのダイオード動作により接地面である接地ピンに接地線43および接地パッド42を介して伝達する。

【0095】

ケース(d)のように、負電圧のESDサージの接地面が電源ピンの場合、同様、入出力パッド1に与えられた負電圧のESDサージが、1/4波長伝送線路10を介して接地線43に伝達される。次いでクランプ回路45により、この電源ノード40aおよび接地ノード42aの間の電圧差が大きくなるため動作し、この接地ノード42aに伝達された負電圧サージが、電源ノード40aから電源線41を介して電源パッド40に伝達され、次いで対応の電源ピンに伝達される。

【0096】

したがって、このクランプ回路45を、電源線41と接地線43の間に配置し、この電源線41と接地線43の間の電圧差が所定電圧を超えると、クランプ動作を行なわせることにより、ESDサージの電圧極性および接地線にかかわらず確実に、ESDサージをすべて流出する経路を確立することができる。

【0097】

すなわち、この1/4波長伝送線路10を利用するESD保護回路を半導体チップにおいて適用する場合、電源ピンへのESDサージの流出経路を確保することにより、電源ピンが接地面となるESDサージに対しても確実にESDサージを流出させることができ、さらに、1/4波長伝送線路を利用するESD保護回路に対し、クランプ回路45を付加し、電源端子へのESDサージの流出経路を確保することにより、あらゆる場合におけるESDサージ電圧に対応することができ、高いESD耐性を有する高特性の高周波半導体装置を実現することができる。

【0098】

図7は、図6に示すクランプ回路45の構成の一例を示す図である。図7において、クランプ回路45は、バックゲート、ゲートおよびソースノードが接地ノ

ード4 2 a を介して接地線4 3 に結合されかつ第2の導通ノード（ドレイン）が、電源ノード4 0 a を介して電源線4 1 に結合されるNチャネルMOSトランジスタ4 5 a を含む。このNチャネルMOSトランジスタ4 5 a は、接地ノード4 2 a の電圧が、正電圧のESDサージにより正電圧レベルとなると、MOSトランジスタ4 5 a の拡散層のPN接合がブレイクダウンして寄生バイポーラトランジスタが導通し電源ノード4 0 a と接地ノード4 2 a の間で電流を流す。一方、この接地ノード4 2 a の電圧が負電圧のESDサージにより、負電圧レベルとなると、MOSトランジスタ4 5 a の拡散層のPN接合ダイオードが順方向動作し、電源ノード4 0 a と接地ノード4 2 a の間で電流を流す。したがって、このMOSトランジスタ4 5 a の寄生ラテラルバイポーラトランジスタ動作または拡散層のPN接合ダイオードの順方向動作により、電源ノード4 0 a と接地ノード4 2 a の間で電流を流し、負電圧のESDサージおよび正電圧のESサージいずれをも、電源ピンを接地面として吸収することができる。

【0 0 9 9】

また、このクランプ回路4 5 は、電源線4 1 と接地線4 3 の間に接続されており、高周波信号を伝達する信号伝達線に直接接続はされていない。したがって、高周波信号を伝達する信号伝達線の高周波特性には何ら影響を及ぼすことなく、高周波特性に影響を及ぼすことなくESD耐性を改善することができる。

【0 1 0 0】

[変更例1]

図8は、この発明の実施の形態2の変更例1の構成を示す図である。図8において、クランプ回路4 5 は、そのバックゲート、ゲートおよび第1の導通ノード（ソース）が電源ノード4 0 a に接続され、第2の導通ノード（ドレイン）が接地ノード4 2 a に接続されるPチャネルMOSトランジスタ4 5 b を含む。他のESD保護回路の構成は、先の実施の形態1に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0 1 0 1】

この図8に示すクランプ回路4 5 においては、接地面が接地ピンの場合、正電圧のESDサージおよび負電圧のESDサージいずれにおいても、1/4波長伝

送線路 1 0 を介して接地線 4 3 に E S D サージが伝達され、また、NチャネルMOSトランジスタ型 E S D 保護素子 1 2 を介して、負電圧の E S D サージが、接地線 4 3 から接地パッド 4 2 に伝達される。従って、先の実施の形態と同様に、接地面が接地ピン端子の場合にはサージ電圧の極性に係らずに接地ピンにサージ電圧を流出させることができる。

【 0 1 0 2 】

接地面が電源ピンの場合、正電圧の E S D サージが発生した場合、 $1/4$ 波長伝送線路 1 0 を介して、接地線 4 3 に、この正電圧の E S D サージが伝達される。クランプ回路 4 5 により、PチャネルMOSトランジスタ 4 5 b の拡散層/ウェル領域間の P N 接合が順方向にバイアスされ、この PチャネルMOSトランジスタ 4 5 b のダイオード動作により、正電圧の E S D サージが電源線 4 1 を介して電源パッド 4 0 に伝達される。

【 0 1 0 3 】

一方、負電圧の E S D サージが発生した場合、 $1/4$ 波長伝送線路 1 0 を介して、この負電圧の E S D サージが接地線 4 3 に伝達される。クランプ回路 4 5 において、PチャネルMOSトランジスタ 4 5 b の P N 接合のブレークダウンにより寄生ラテラル P N P バイポーラトランジスタが導通し、負電圧 E S D サージによる E S D サージ電流を、電源線 4 1 を介して電源パッド 4 0 に流す。

【 0 1 0 4 】

したがって、このように PチャネルMOSトランジスタ 4 5 b を用いて電源線 4 1 と接地線 4 3 を接続しても、同様、接地面が電源ピンの場合確実に、E S D サージを流出させることができる。

【 0 1 0 5 】

また、通常動作時には、この PチャネルMOSトランジスタはゲートおよびソースが同一電圧レベルであり非導通状態であり、電源線 4 1 と接地線 4 3 とは分離される。また、この PチャネルMOSトランジスタ 4 5 b は、電源線 4 1 および接地線 4 3 に接続されるだけであり、高周波信号を伝達する信号伝達線 2 には接続されていないため、高周波信号伝達特性には何ら影響は及ぼさない。

【 0 1 0 6 】

[変更例 2]

図 9 は、この発明の実施の形態 2 の変更例 2 の構成を示す図である。図 9 において、クランプ回路 4 5 は、接地線 4 3 と電源線 4 1 の間に、接地線 4 3 から順方向に接続されるダイオード素子 D 1 と、電源線 4 1 と接地線 4 3 の間に、電源線 4 1 から順方向に直列に接続される複数のダイオード素子 D 2 - D 5 を含む。他の構成は、図 8 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0107】

この図 9 に示すクランプ回路 4 5 においては、接地線 4 3 に、正電圧の ESD サージが流出した場合、接地面が電源ピンの場合、ダイオード素子 D 1 が導通し、この ESD サージを電源線 4 1 および電源パッド 4 0 を介して電源ピンに流出させる。

【0108】

一方、負電圧の ESD サージが接地線 4 3 に伝達され、かつ接地面が電源ピンの場合、ダイオード素子 D 2 - D 5 が導通し、同様、電源線 4 1 および電源パッド 4 0 を介して電源ピンにこの負電圧の ESD サージを流出させる。

【0109】

ダイオード素子 D 2 - D 5 は、これらの順方向降下電圧の合計が、電源電圧 V_{DD} 以上であればよい。またダイオード素子 D 1 は、その順方向降下電圧を V_{be} とした場合、接地線 4 3 に、電圧 V_{be} の正電圧の ESD サージが伝達された場合に導通する。一方、ダイオード素子 D 2 - D 5 は、この接地線 4 3 に $-4 \cdot V_{be}$ の電源電圧が伝達されたときに導通する。ダイオード素子 D 1 は、 V_{be} レベルのサージ電圧を伝達しない。しかしながら、この信号伝達線 2 上のサージ電圧が順方向降下電圧 V_{be} レベルであれば、内部回路 3 において絶縁破壊は何ら生じない。同様、ダイオード素子 D 2 - D 5 は、 $-4 \cdot V_{be}$ レベルのサージ電圧は伝達しないものの、この電圧レベルは、接地電圧 GND に近い電圧レベルであり、内部回路 3 における電圧絶縁破壊は確実に防止することができる。

【0110】

なお、この電源線 4 1 と接地線 4 3 の間の順方向に接続されるダイオード素子

および逆方向に接続されるダイオード素子の数は、このクランプ回路 4 5 のクランプする電圧レベルに応じて適当な数のダイオード素子が用いられればよい。

【 0 1 1 1 】

また、図 7 および図 8 に示すクランプ回路 4 5 の MOS トランジスタ 4 5 a および 4 5 b が、組合せて用いられてもよい。すなわち、これらの MOS トランジスタ 4 5 a および 4 5 b が並列に接続される構成が用いられてもよい。

【 0 1 1 2 】

先の MOS トランジスタをクランプ回路として利用する場合には、接地線および信号伝達線 2 がサージ発生時において拡散層がブレイクダウンを生じさせる電圧レベルにまで上昇し、内部回路 3 に対し、この高電圧が伝達されると、内部回路 3 が破壊される可能性が考えられる。しかしながら、正電圧サージおよび負電圧サージいずれにおいても順方向のダイオード動作により、サージ電圧を伝達する構成により、内部回路の電源／接地ノード間に印加される電圧を低くすることができ、内部回路 3 の ESD 耐性を改善することができる。接合ブレイクダウン電圧は、順方向降下電圧（接合ビルトイン電圧）よりもかなり高い。

【 0 1 1 3 】

以上のように、この発明の実施の形態 2 に従えば、電源線と接地線の間にクランプ回路を設けており、接地面が電源ピンの場合においても、確実に ESD サージを流出させることができ、ESD サージのあらゆるケースについて、確実に ESD サージを流出させることができ、高い ESD 耐性を有する信頼性の高い高周波半導体装置を実現することができる。

【 0 1 1 4 】

〔実施の形態 3〕

図 1 0 は、この発明の実施の形態 3 に従う ESD 保護回路の構成を概略的に示す図である。図 1 0 に示す構成においては、図 1 に示す構成に加えて、さらに、電源ノードと信号伝達線 2 の間に、P チャネル MOS トランジスタ 5 2 が接続される。この P チャネル MOS トランジスタ 5 2 は、バックゲート、コントロールゲートおよび第 1 の導通ノード（ソース）が電源ノードに接続され、第 2 の導通ノード（ドレイン）が、信号伝達線 2 に結合される。この MOS トランジスタ 5

2 が、信号伝達線 2 に接続するノードは、第 1 のノード 2 a と容量素子 1 6 の間の適当な位置であればよい。図 1 0 においては、MOS トランジスタ 5 2 および 1 2 は、共通に第 2 のノード 2 b に結合されるように示す。

【0 1 1 5】

この図 1 0 に示す ESD 保護回路の構成の場合、ESD サージ発生時において、信号伝達線 2 上の動作周波数 f のサージ成分は、 $1/4$ 波長伝送線路 1 0 において吸収されずに、第 2 のノード 2 b にまで伝達される。ノード 2 b に伝達された ESD サージは、正電圧サージの場合、電源ノードと信号伝達線 2 の間に配設された P チャネル MOS トランジスタ 5 2 のダイオードの順方向動作によりこのサージが電源ノードへ流出される。一方、負電圧サージの場合には、MOS トランジスタ 1 2 のダイオード動作により、負電圧サージが接地ノード 1 4 に放出される。

【0 1 1 6】

これらの MOS トランジスタ 5 2 および 1 2 は、ESD サージのうち、周波数成分が、この半導体装置の動作周波数 f に等しい少量のサージのみを放出することが要求されるだけであり、高い電流駆動力は要求されない。したがって、これらの MOS トランジスタ 1 2 および 5 2 としては、接合面積の小さなすなわちゲート幅の小さい MOS トランジスタを利用することができ、応じてドレイン接合容量を小さくすることができる。したがって、高周波特性に影響をほとんど及ぼすことなくより高い ESD 耐性を実現することができる。

【0 1 1 7】

また、この正電圧サージの場合、MOS トランジスタ型 ESD 保護素子 1 2 において寄生ラテラルバイポーラトランジスタの動作により、正電圧サージが接地ノードへ放出される。同様、負電圧極性の ESD サージは、P チャネル MOS トランジスタ 5 2 を利用する ESD 保護素子により、寄生ラテラルバイポーラトランジスタ動作により、電源ノードに放出される。これにより、効率的に、第 2 のノード 2 b にまで伝達された周波数 f の ESD サージ成分を効率的に流出させることができる。

【0 1 1 8】

以上のように、この発明の実施の形態 3 に従えば、電源ノードと信号伝達ノードの間に、MOS トランジスタ型 ESD 保護素子をさらに追加しており、この ESD サージの極性にかかわらず確実に、ESD サージを流出させることができる。

【0119】

〔実施の形態 4〕

図 11 は、この発明の実施の形態 4 に従う ESD 保護回路の構成を示す図である。図 11 において、ESD 保護回路は、信号伝達線と接地ノード 14 の間に接地ノード 14 から順方向に接続されるダイオード素子 60 と、信号伝達線 2 と電源ノードの間に、信号伝達線 2 から順方向に接続されるダイオード素子 62 と、信号伝達線 2 と接地ノード 14 の間に接続される $1/4$ 波長伝送線路 10 と、信号伝達線 2 と内部回路 3 の間に接続される DC カット用の容量素子 16 を含む。

【0120】

ダイオード素子 60 および 62 としては、シリコン半導体装置においては、拡散層とウェル領域との間に形成される拡散層ダイオード等の任意の利用可能なダイオード素子を利用することができる。化合物半導体装置においても、同様に、たとえば拡散層領域内に別の導電型の拡散領域を形成するまた、メタルゲートと半導体領域とで構成されるダイオードなどの任意の形態の利用可能なダイオード素子を利用することができる。

【0121】

この図 11 に示す構成においては、動作周波数 f に等しい周波数成分を有する ESD サージ成分が、 $1/4$ 波長伝送線路 10 で流出されずに、ノード 2b にまで伝達される。正電圧サージは、その電源ノードと信号伝達線に配置されたダイオード 62 の順方向動作により、電源ノードを介して電源線へ流出される。一方、負電圧サージについては、ダイオード 60 が順方向にバイアスされるため、その接地ノードへこのダイオード 60 を介して負電圧サージを流出することができる。

【0122】

これらの ESD 保護ダイオード 60 および 62 は、ESD サージのうち、周波

数成分 f の少量のサージのみを放出することが要求されるだけである。したがって、電流駆動力が高い接合面積の大きなダイオードを用いる必要がなく、接合面積が十分小さいダイオードを利用することができる。したがって、このダイオードの接合容量による寄生容量は極めて小さくなり、この信号伝達線 2 を伝達される高周波信号に対するインピーダンスを十分高くすることができ、高周波特性に影響をほとんど及ぼすことなくより高い ESD 耐性を実現することができる。

【 0 1 2 3 】

〔他の実施の形態〕

上述の構成において、信号伝達線は、高周波信号を入力しかつ出力しており、したがって、内部回路 3 は入出力バッファ回路を含む。しかしながら、この信号伝達線 2 は、高周波信号入力線であり、内部回路 3 が入力バッファであってもよい。またこれに代えて、信号伝達線は高周波信号をパッドを介してピン端子に出力する出力信号線であってもよい。この場合、内部回路 3 は、出力バッファ回路で構成される。

【 0 1 2 4 】

また、伝送線路としては、正確に $1/4$ 波長伝送線路でなくてもよい。サージ成分の大部分を放出することができ、かつ次段の MOS 型 ESD 保護素子が大きな電流駆動力を要求されずに、そのサイズを小さくすることができればよい。

【 0 1 2 5 】

【発明の効果】

以上のように、この発明に従えば、高周波信号を伝達する信号線と第 1 の電源ノードの間に、伝送線路を接続し、かつこの信号伝達線と第 1 の電源ノードの間に、第 1 のサージ導通素子を接続しており、ESD サージの高周波成分を伝送線路を介して確実に放出することができ、また次段の第 1 のサージ導通素子により、この伝送線路で駆動することのできないサージ成分を放出することができ、内部回路へ ESD サージが伝達されるのを防止することができ、高い ESD 耐性を有する高周波半導体装置を実現することができる。

【 0 1 2 6 】

また、この第 1 のサージ導通素子を逆方向に接合される PN 接合を有する素子

で構成することにより、簡易な回路構成で、確実に E S D サージ成分を流出させることのできる素子を実現することができる。

【 0 1 2 7 】

また、この第 1 のサージ導通素子を、絶縁ゲート型電界効果トランジスタで構成することにより、このサージ電圧の極性に応じてダイオード動作および寄生ラテラルバイポーラトランジスタ動作により、サージ電圧を放出することができ、小占有面積の E S D 保護素子を実現することができる。

【 0 1 2 8 】

また、この第 1 のサージ導通素子を順方向に接続されるダイオード素子で構成することにより、簡易な回路構成で確実に、E S D サージの特定の周波数成分を放出することができる。

【 0 1 2 9 】

また、さらに、第 2 の電源ノードと信号伝達線との間に、第 2 のサージ導通素子を配置することにより、より効率的に、E S D サージを放出することができ、E S D サージの電圧極性にかかわらず確実に、内部回路へサージが印加されるのを防止することができる。

【 0 1 3 0 】

また、この第 2 のサージ導通素子を、逆方向に結合される P N 接合を有する素子で構成することにより、小占有面積で簡易な回路構成の E S D 保護素子を実現することができる。

【 0 1 3 1 】

また、この第 2 のサージ導通素子を、絶縁ゲート型電界効果トランジスタで構成することにより、小占有面積で、サージの電圧極性にかかわらず E S D サージを流出させることのできる E S D 保護素子を実現することができる。

【 0 1 3 2 】

また、この第 2 のサージ導通素子を、逆方向に接続されるダイオード素子で構成することにより、簡易な構成で、確実に、E S D サージを流出させることのできる E S D 保護素子を実現することができる。

【 0 1 3 3 】

また、この信号伝達線と内部回路との間に容量素子を接続することにより、伝送線路に直流電圧が印加されるのを防止でき、この伝送線路の直流短絡を防止でき、確実に、回路動作に悪影響を及ぼすことなく、ESD耐性の高いESD保護回路を実現することができる。

【 0 1 3 4 】

また、第1の電源ノードと第2の電源ノードの間にクランプ回路を設けることにより、ESDサージの電圧極性および接地面にかかわらず、確実に、ESDサージを流出させることができ、高いESD耐性を有する高周波半導体装置を実現することができる。

【 0 1 3 5 】

また、このクランプ回路として、拡散層接合のプレイグダウン電圧よりも低い電圧レベルにクランプする回路で構成することにより、第1および第2の電源ノード間電圧が内部回路に悪影響を及ぼすことなく、確実に、ESDサージを流出させることができる。

【 0 1 3 6 】

また、このクランプ回路として、絶縁ゲート型電界効果トランジスタで構成することにより、このトランジスタの寄生バイポーラトランジスタ動作およびダイオード動作により、サージ電圧の電圧極性にかかわらず確実にサージ電圧を第1の電源ノードと第2の電源ノードの間で伝達することができ、小占有面積のクランプ回路を実現することができる。

【 0 1 3 7 】

また、クランプ回路を、第1の電源ノードと第2の電源ノードとの間に順方向に接続する第1のダイオード素子とこの第1の電源ノードから逆方向に接続される第2のダイオード素子とで構成することにより、このサージ電圧極性にかかわらず確実に、第1の電源ノードから第2の電源ノードへサージ電圧を流出させることができ、正電圧クランプ回路を実現することができる。したがって、絶縁ゲート型電界効果トランジスタを用いて拡散層のブレイクダウンにより誘起される寄生バイポーラトランジスタ動作を生じさせる場合の信号伝達線電位が上昇するのを防止でき、拡散層のブレイクダウン現象を生じさせることなくダイオード素

子の順方向動作のみによりサージ電圧を流出させることができ、この装置内の電圧が高電圧に上昇するのを防止することができ、高いESD耐性を有する半導体装置を実現することができる。

【0138】

また、この第2の電源ノードを接地ノードとすることにより、伝送線路を、先端短絡スタブ動作をこの伝送線路において生じさせることができ、確実にESDサージ成分を放出することができる。

【0139】

また、このバイパス伝送線路の長さを、動作周波数の実効波長の実質的に1/4倍の長さを有する1/4波長伝送線路で構成することにより、通常伝達される高周波信号に対してハイインピーダンス状態となり、この動作周波数の高周波信号成分を除く信号に対して低インピーダンス状態となり、確実に、ESDサージ成分の大部分を、確実に、流出させることができ、また後段に設けられるサージ導通素子の電流駆動力を小さくすることができ、その寄生容量を低減でき、高周波特性の劣化を抑制することができる。これにより、高いESD耐性を有する周波数特性の優れた高周波半導体装置を実現することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従うESD保護回路の構成を示す図である。

【図2】 図1に示すESD保護回路の通常動作時の動作を説明するための図である。

【図3】 図1に示すESD保護回路のESD発生時の動作を説明するための図である。

【図4】 この発明の半導体装置のピン配置の一例を示す図である。

【図5】 この発明に従う半導体装置の要部の構成を概略的に示す図である。

【図6】 この発明の実施の形態2に従うESD保護回路の構成を概略的に示す図である。

【図7】 図6に示すクランプ回路の構成一例を示す図である。

【図 8】 図 6 に示すクランプ回路の変更例 1 の構成を示す図である。

【図 9】 図 7 に示すクランプ回路の変更例 2 の構成を示す図である。

【図 1 0】 この発明の実施の形態 3 に従う E S D 保護回路の構成を示す図である。

【図 1 1】 この発明の実施の形態 4 に従う E S D 保護回路の構成を示す図である。

【図 1 2】 E S D サージの電流波形を示す図である。

【図 1 3】 従来の E S D 保護回路の構成を示す図である。

【図 1 4】 図 1 3 に示す N チャネル M O S トランジスタのサージ吸収時の動作を示す図である。

【図 1 5】 図 1 3 に示す P チャネル M O S トランジスタのサージ吸収時の動作態様を示す図である。

【図 1 6】 従来の E S D 保護素子の平面レイアウトを概略的に示す図である。

【図 1 7】 従来のサージ保護素子の拡散層の面積を概略的に示す図である。

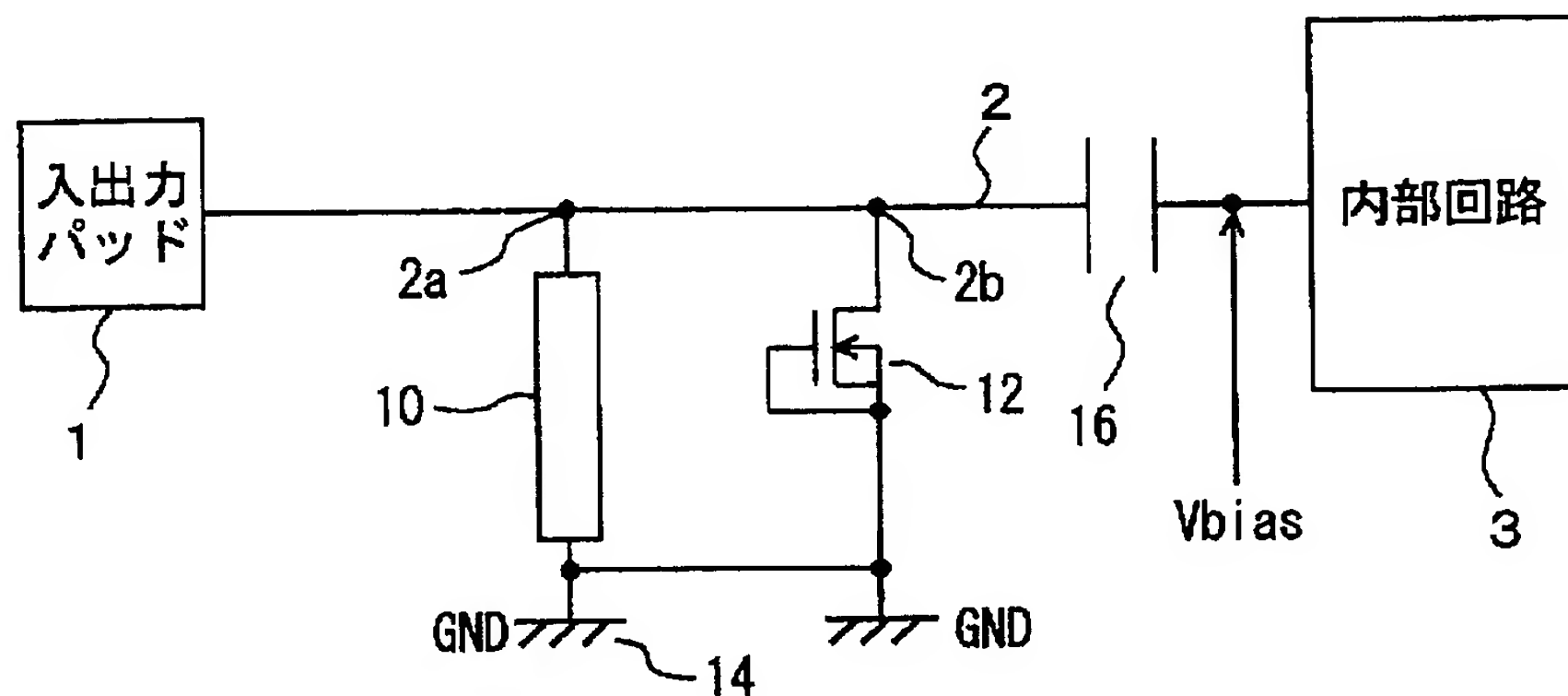
【図 1 8】 従来の E S D 保護回路の電氣的等価回路および高周波信号伝達経路を示す図である。

【符号の説明】

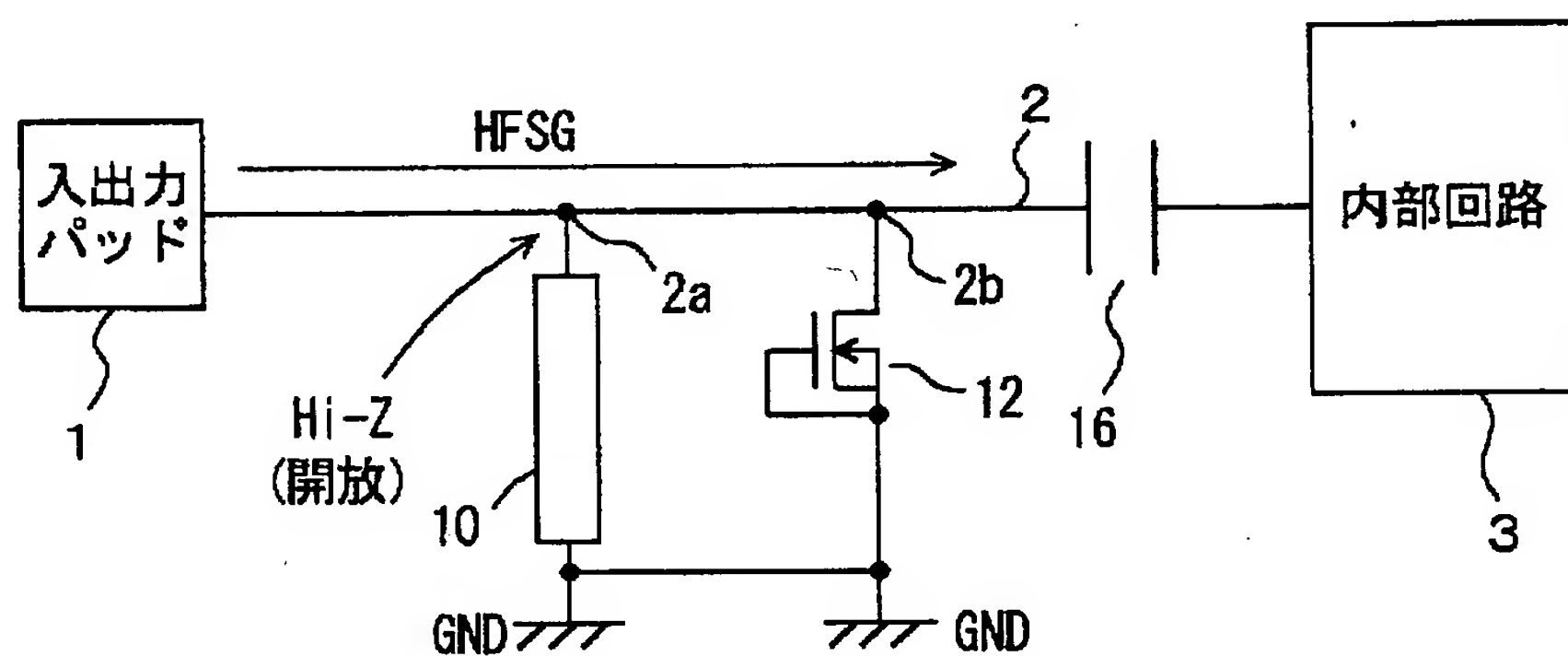
1 入出力パッド、2 信号伝達線、3 内部回路、1 0 1 / 4 波長伝送線
路、1 2 E S D 保護素子、4 0 電源パッド、4 2 接地パッド、4 5 クラ
ンプ回路、4 5 a, 4 5 b クランプ用 M O S トランジスタ、D 1 - D 5 ダイ
オード素子、5 2 P チャネル M O S トランジスタ、6 0, 6 2 ダイオード素
子。

【書類名】 図面

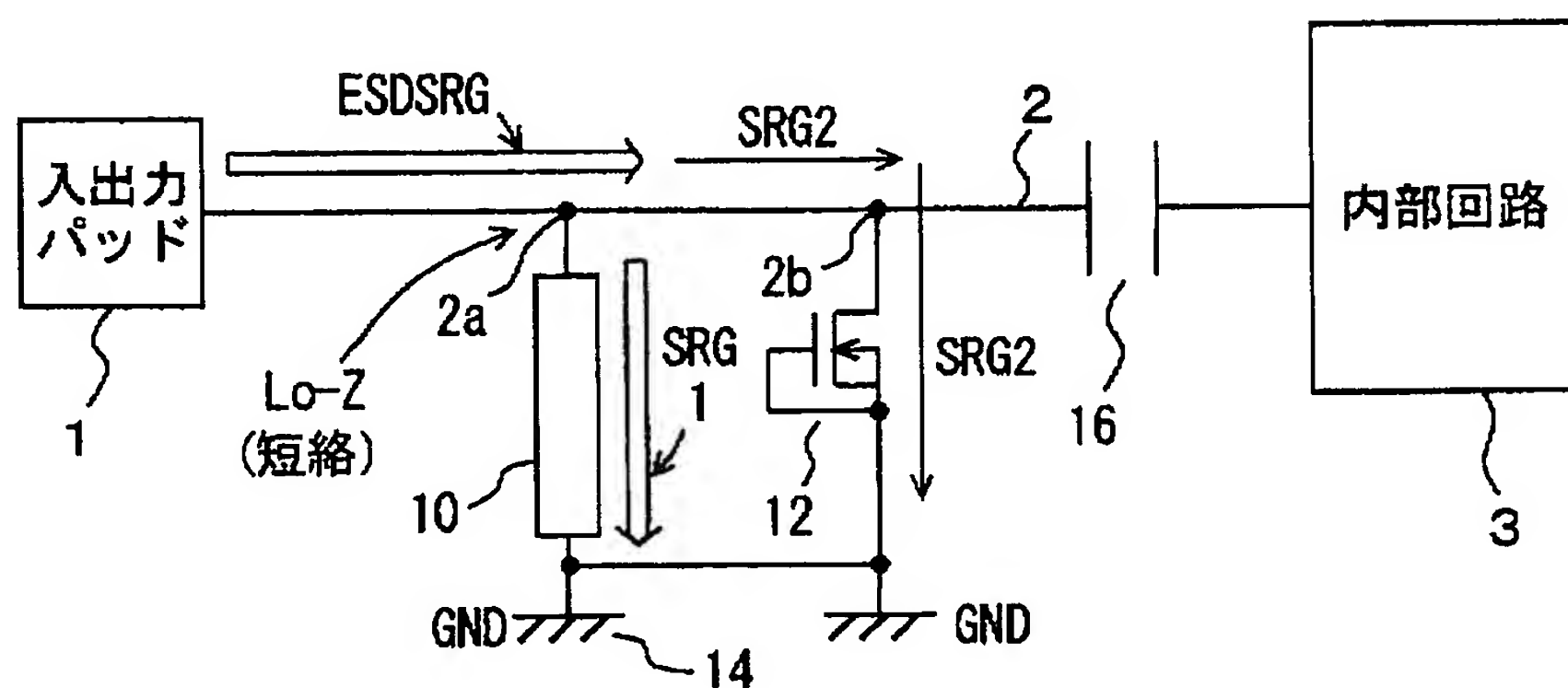
【図 1】



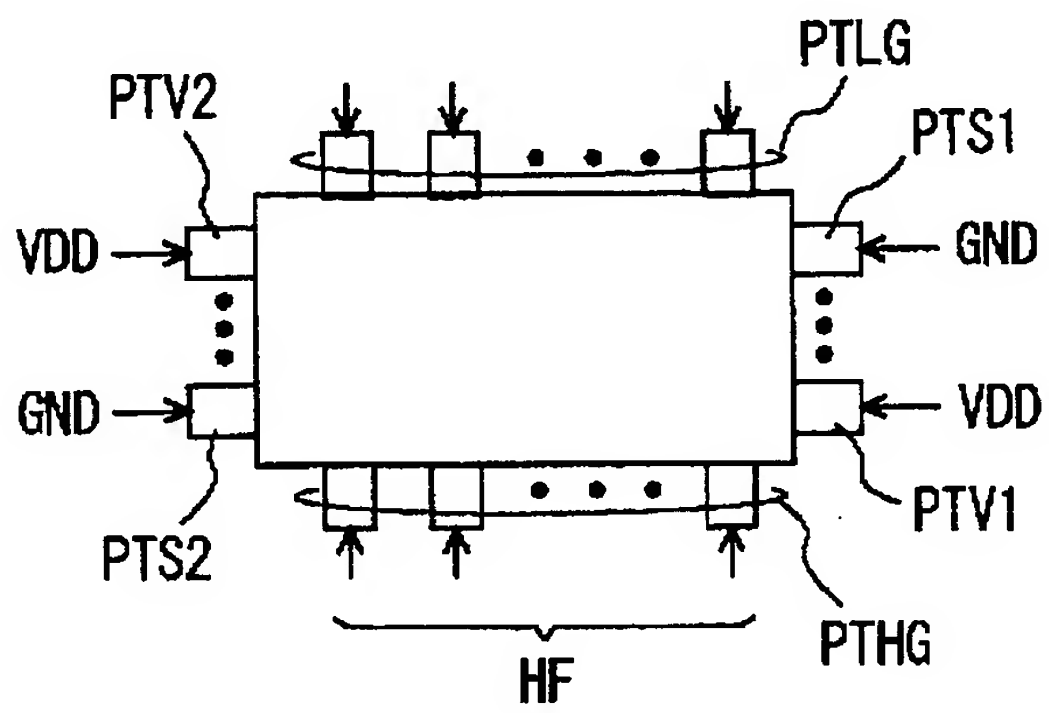
【図 2】



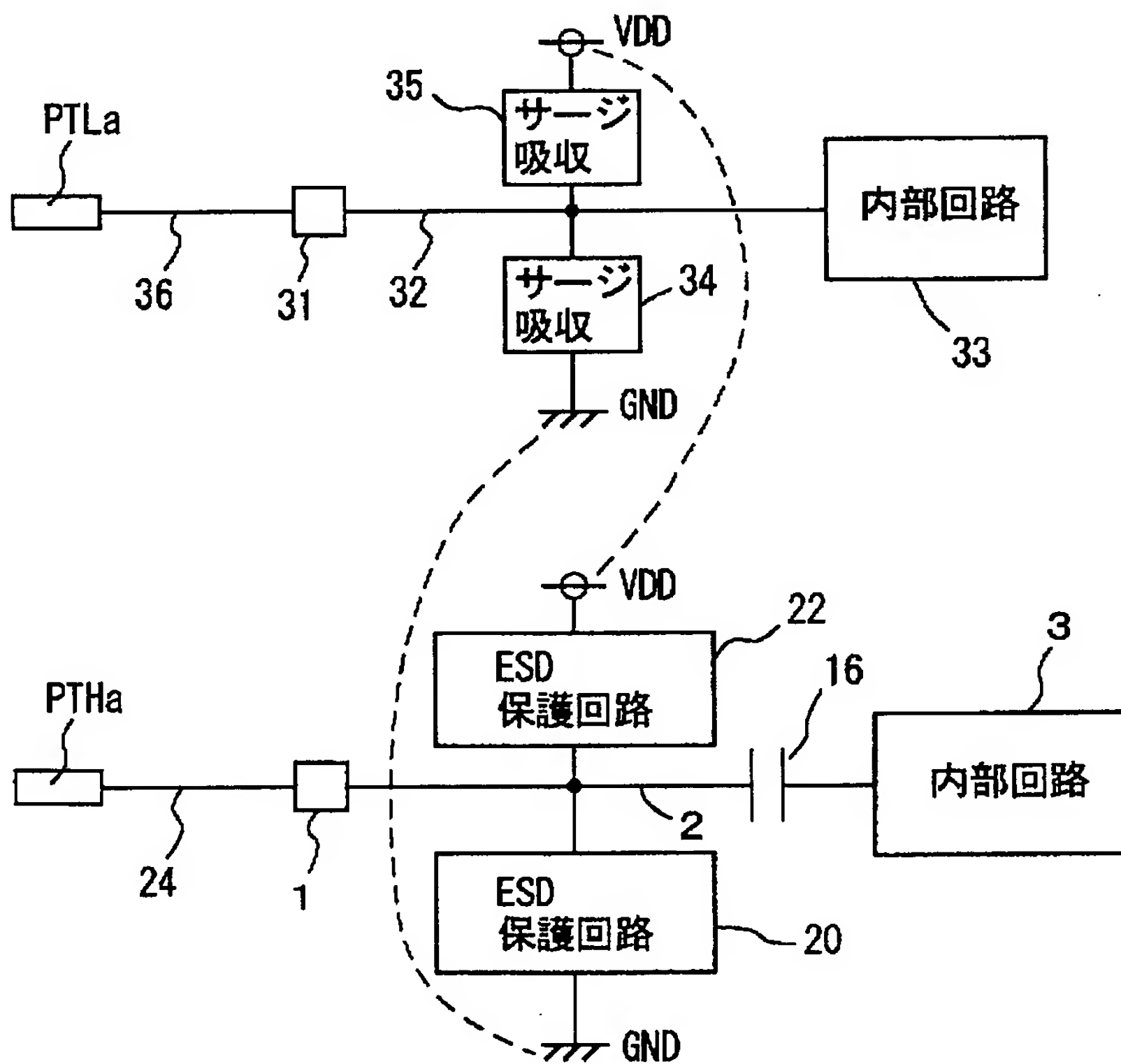
【図 3】



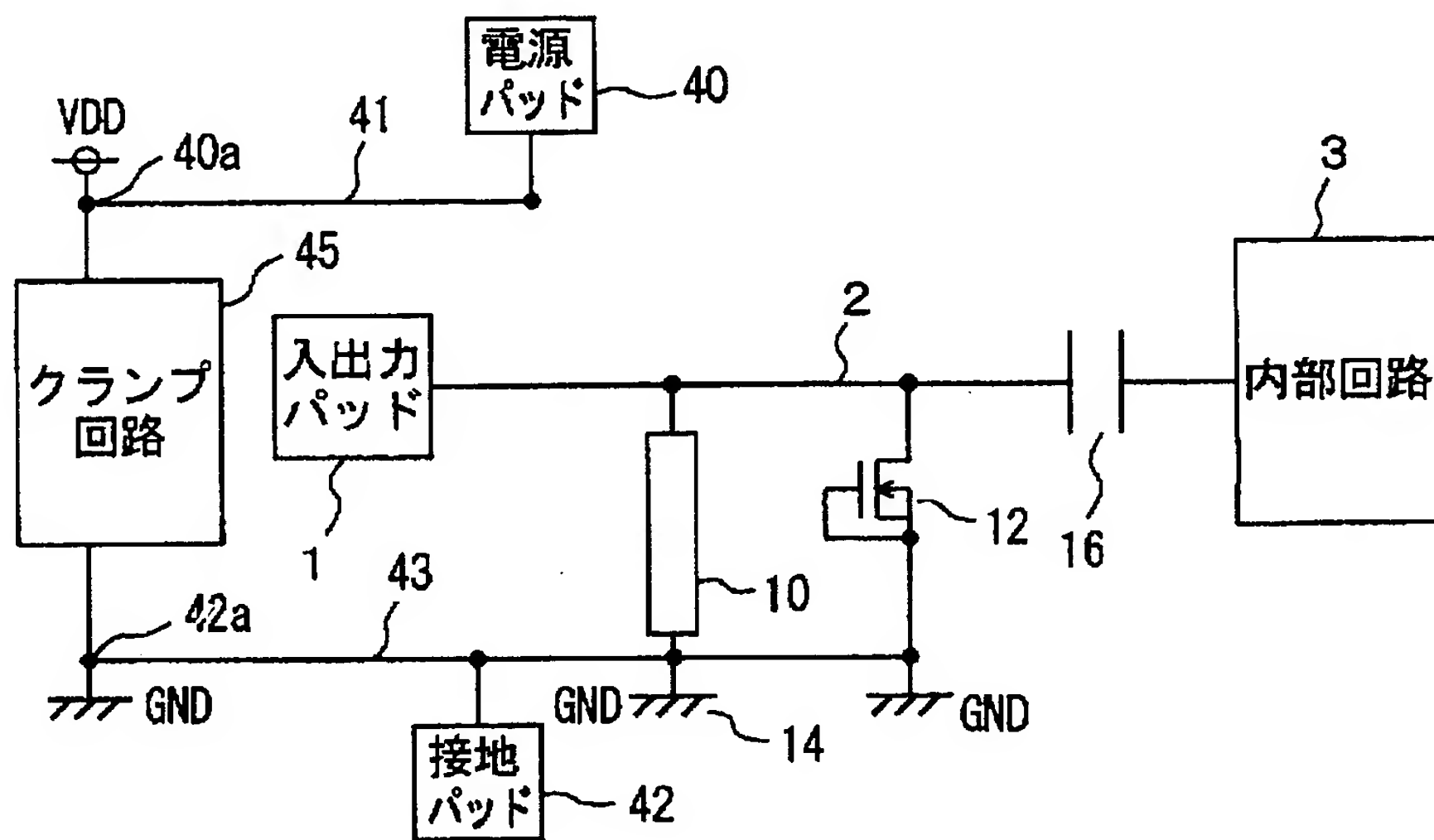
【図 4】



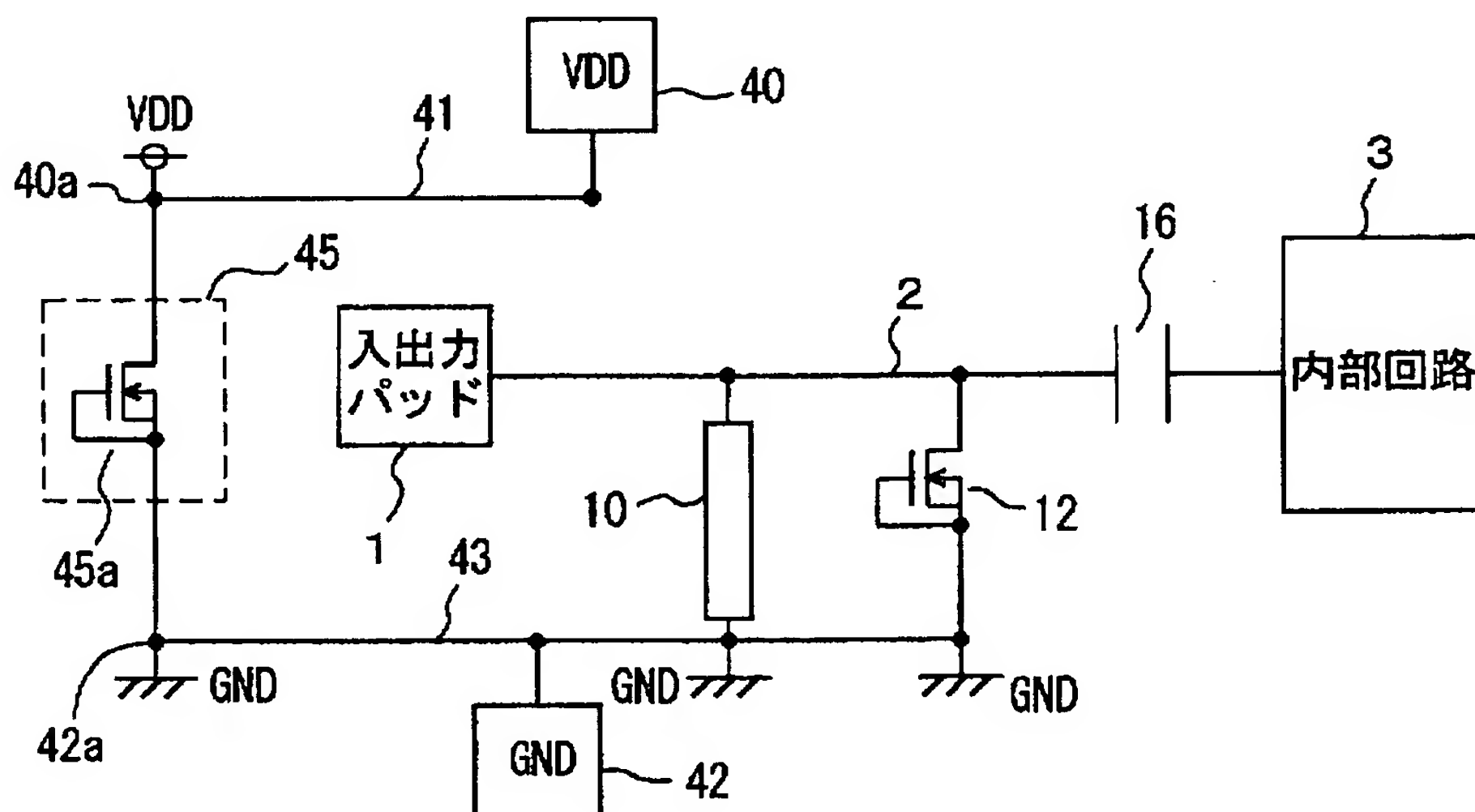
【図 5】



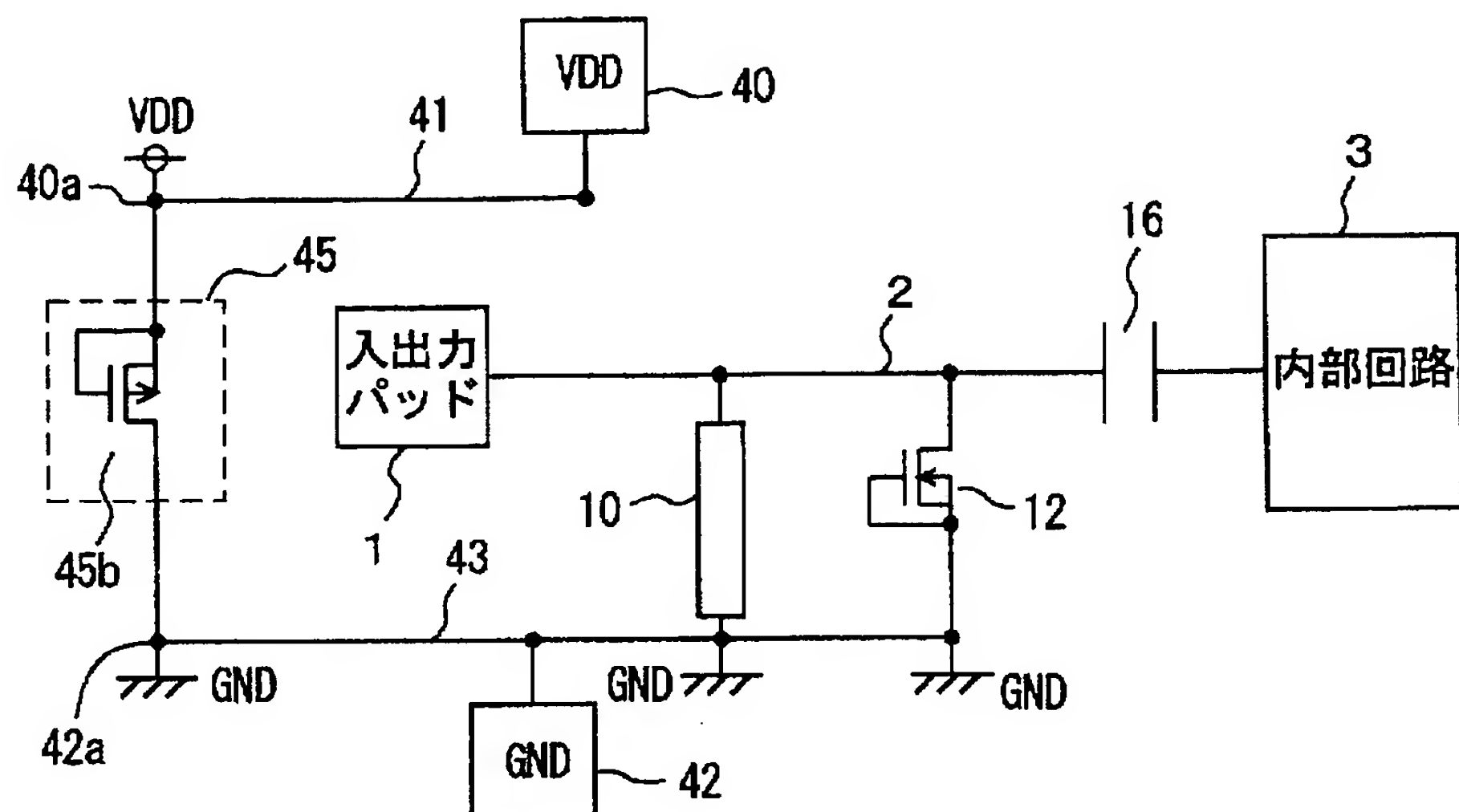
【図 6】



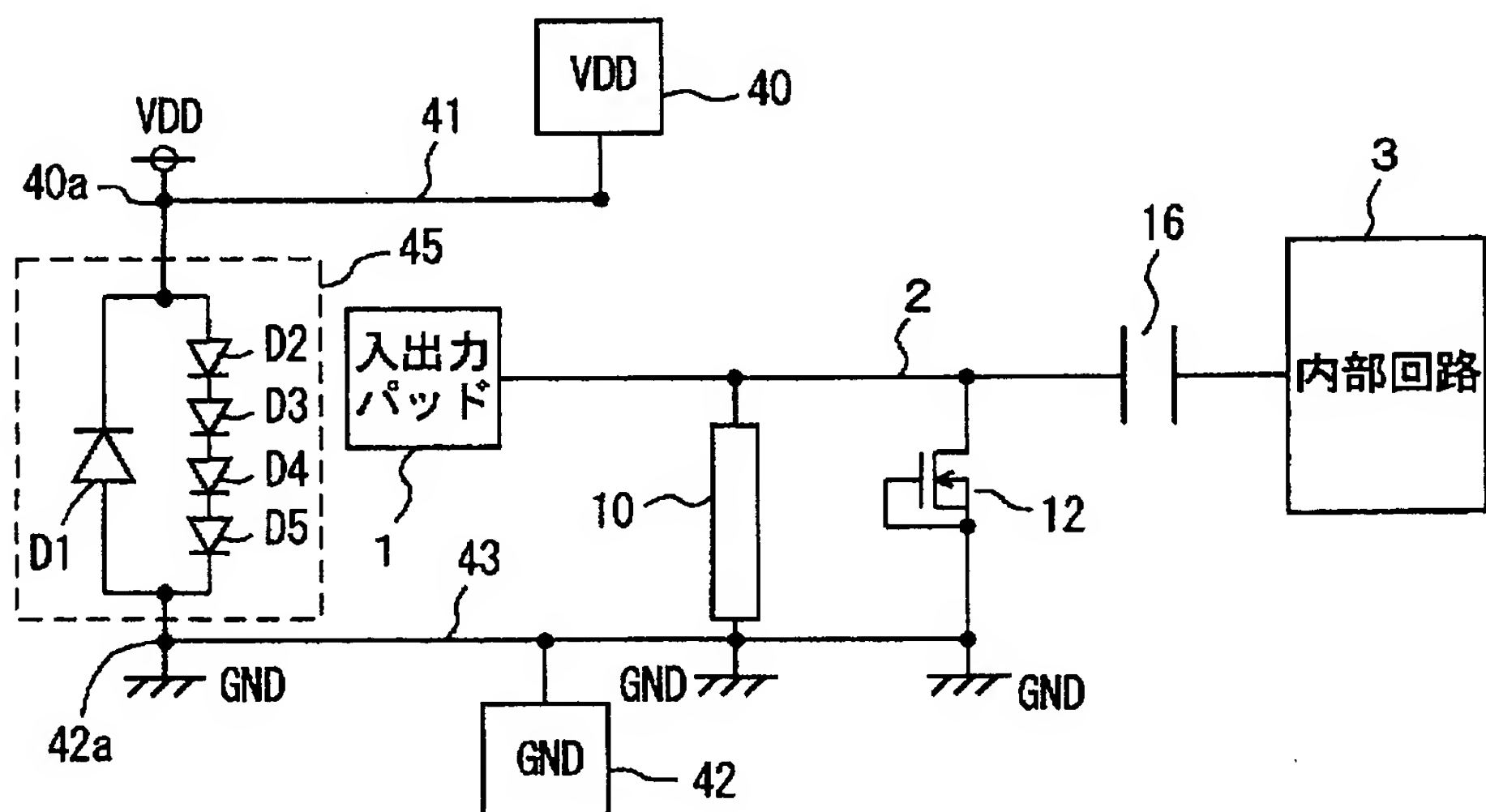
【図 7】



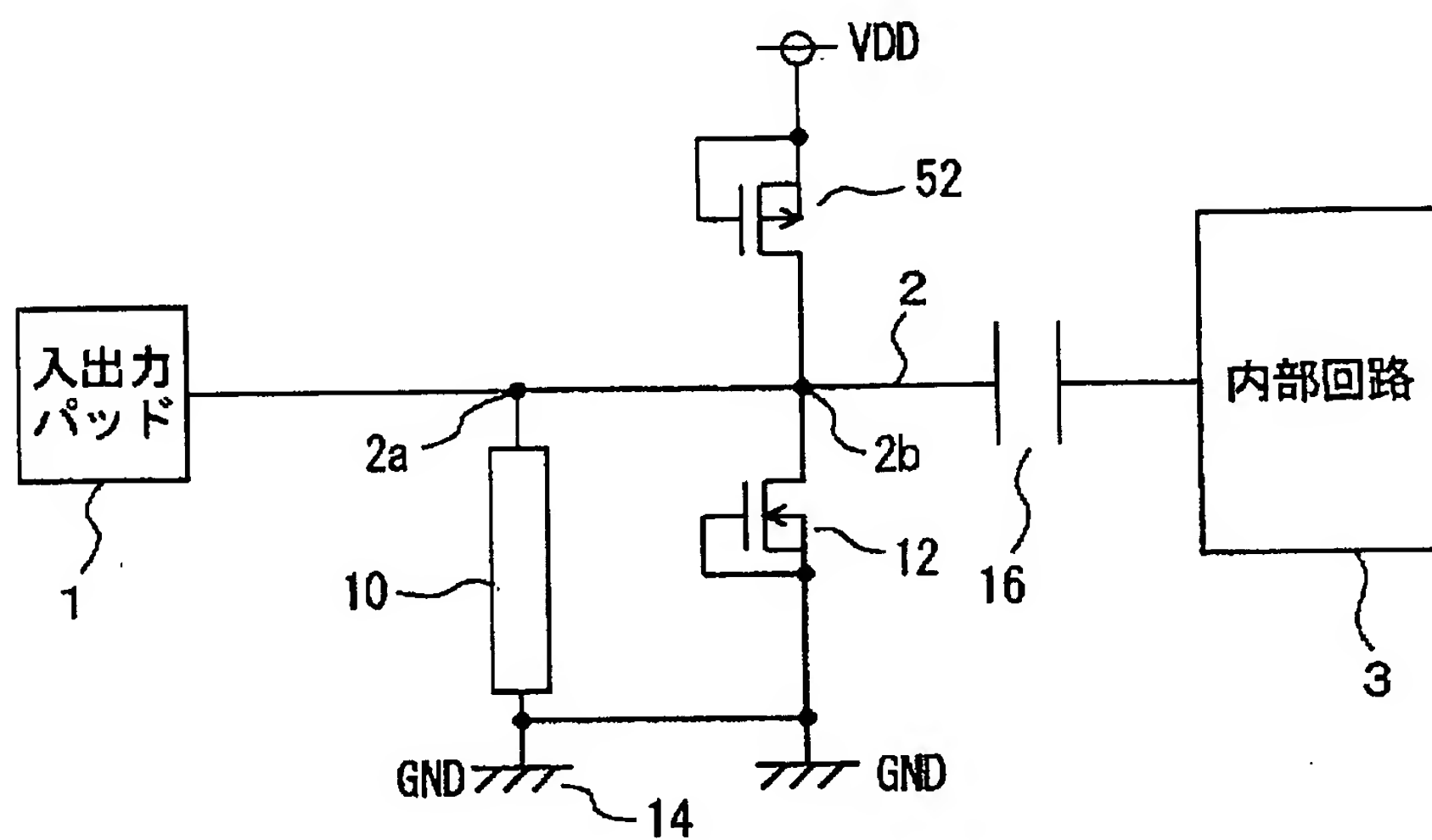
【図 8】



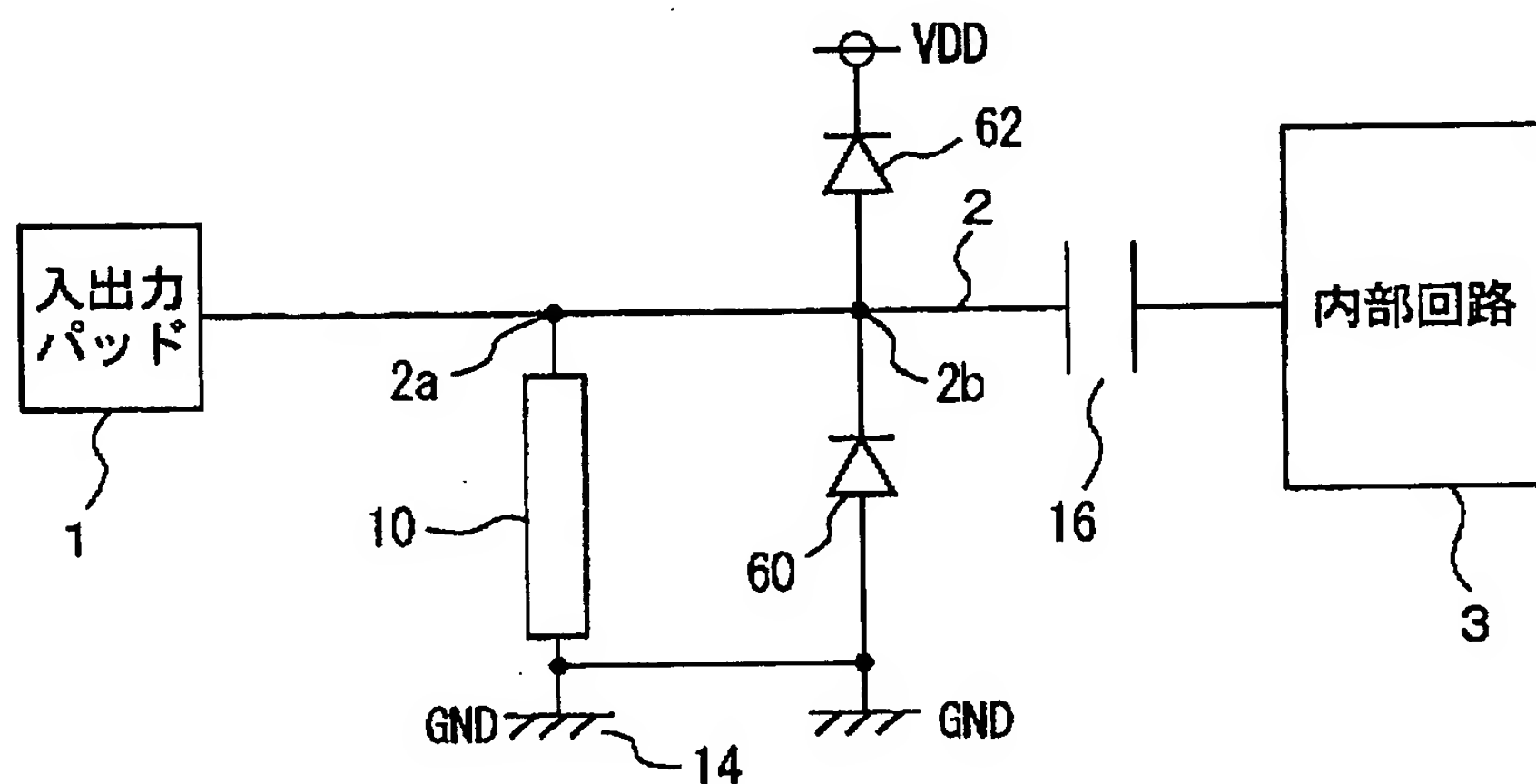
【図 9】



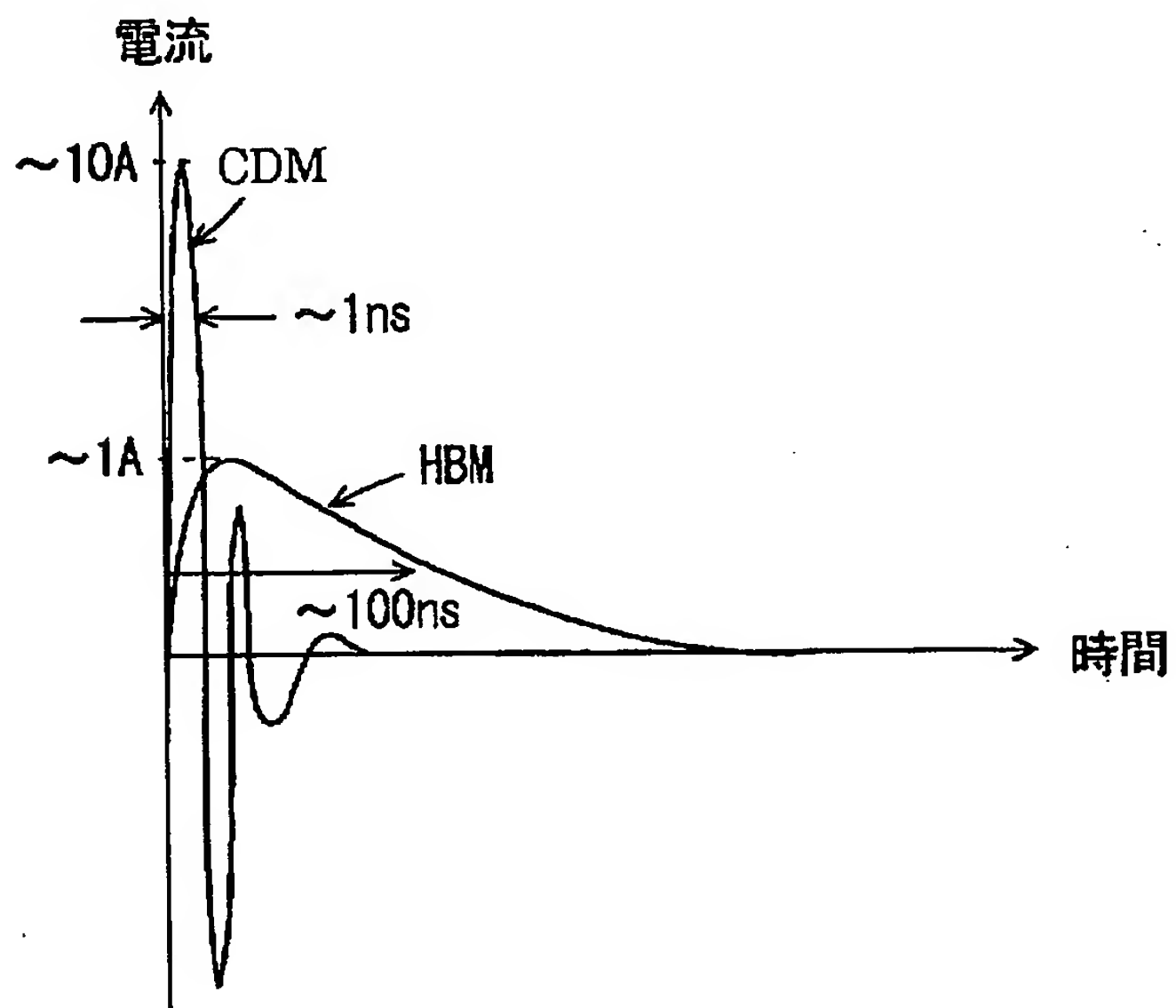
【図 10】



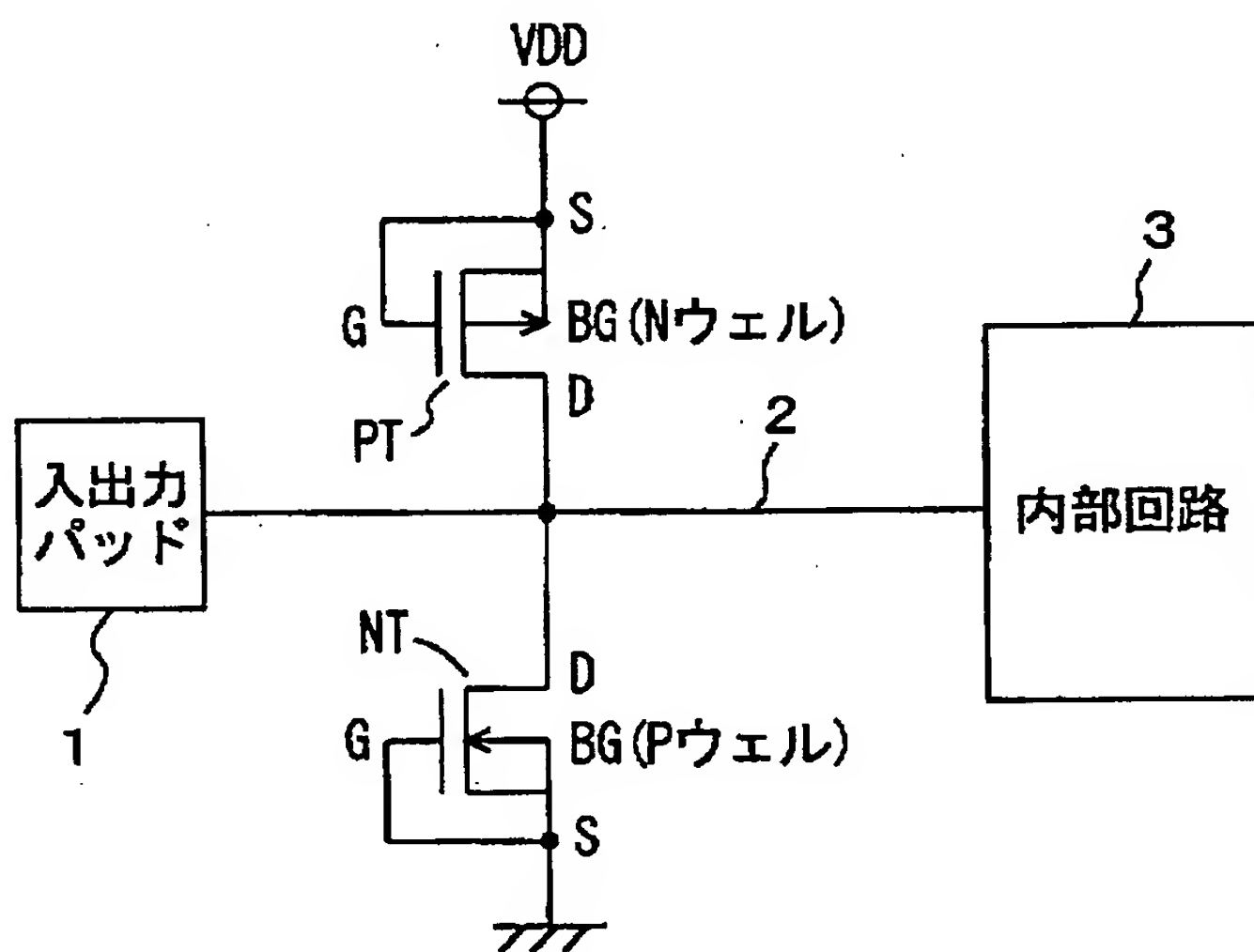
【図 11】



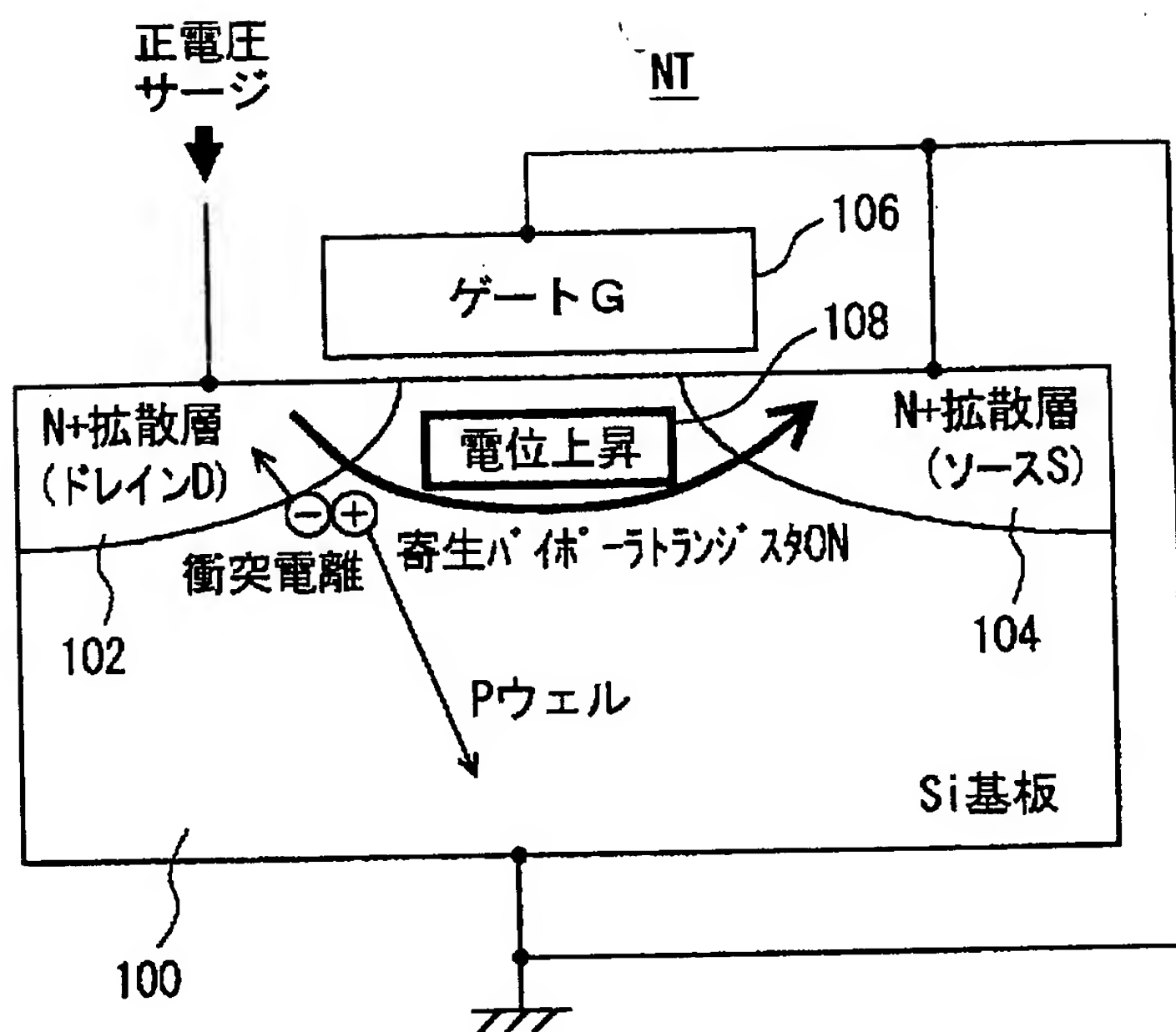
【図 1 2】



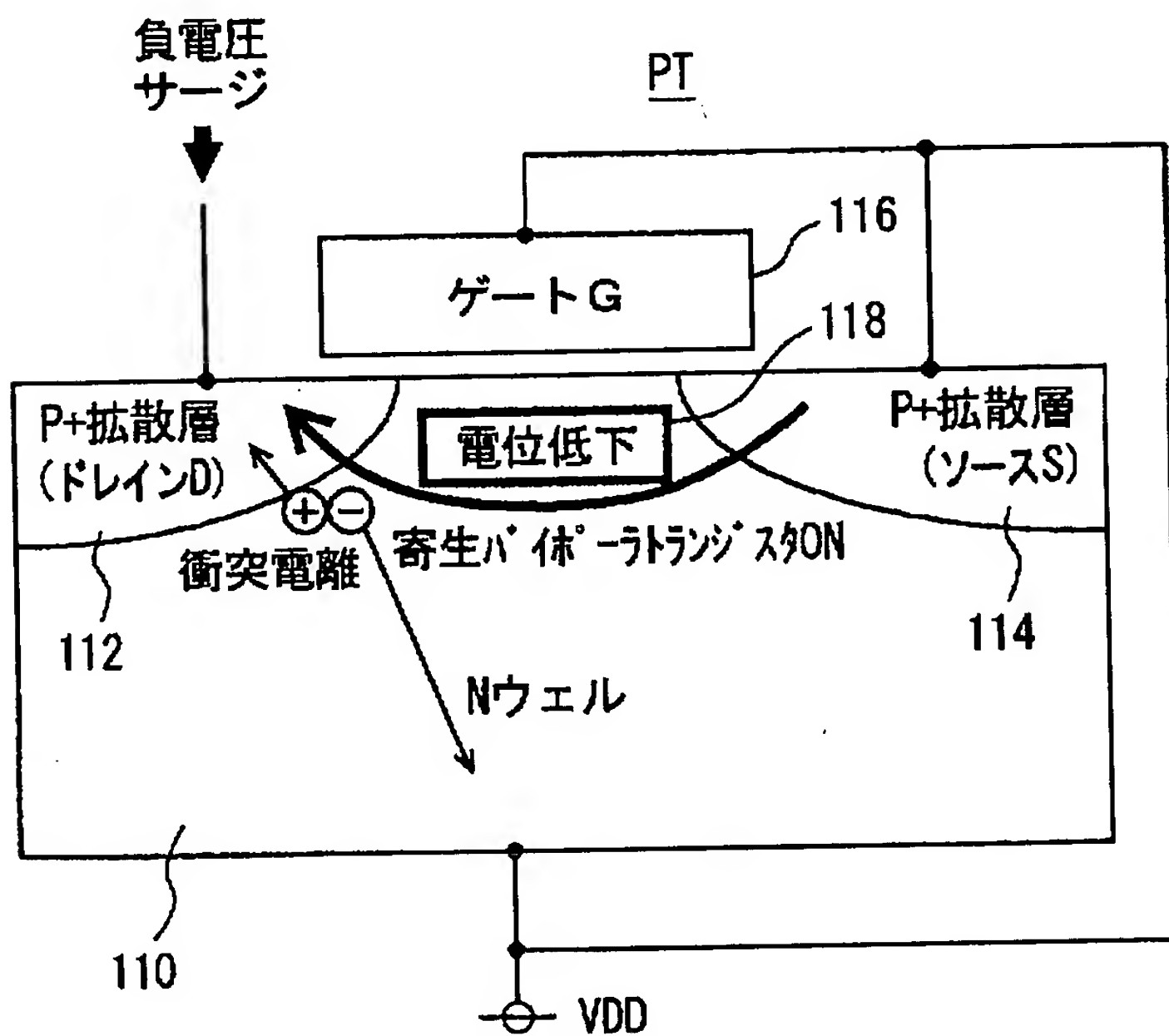
【図 1 3】



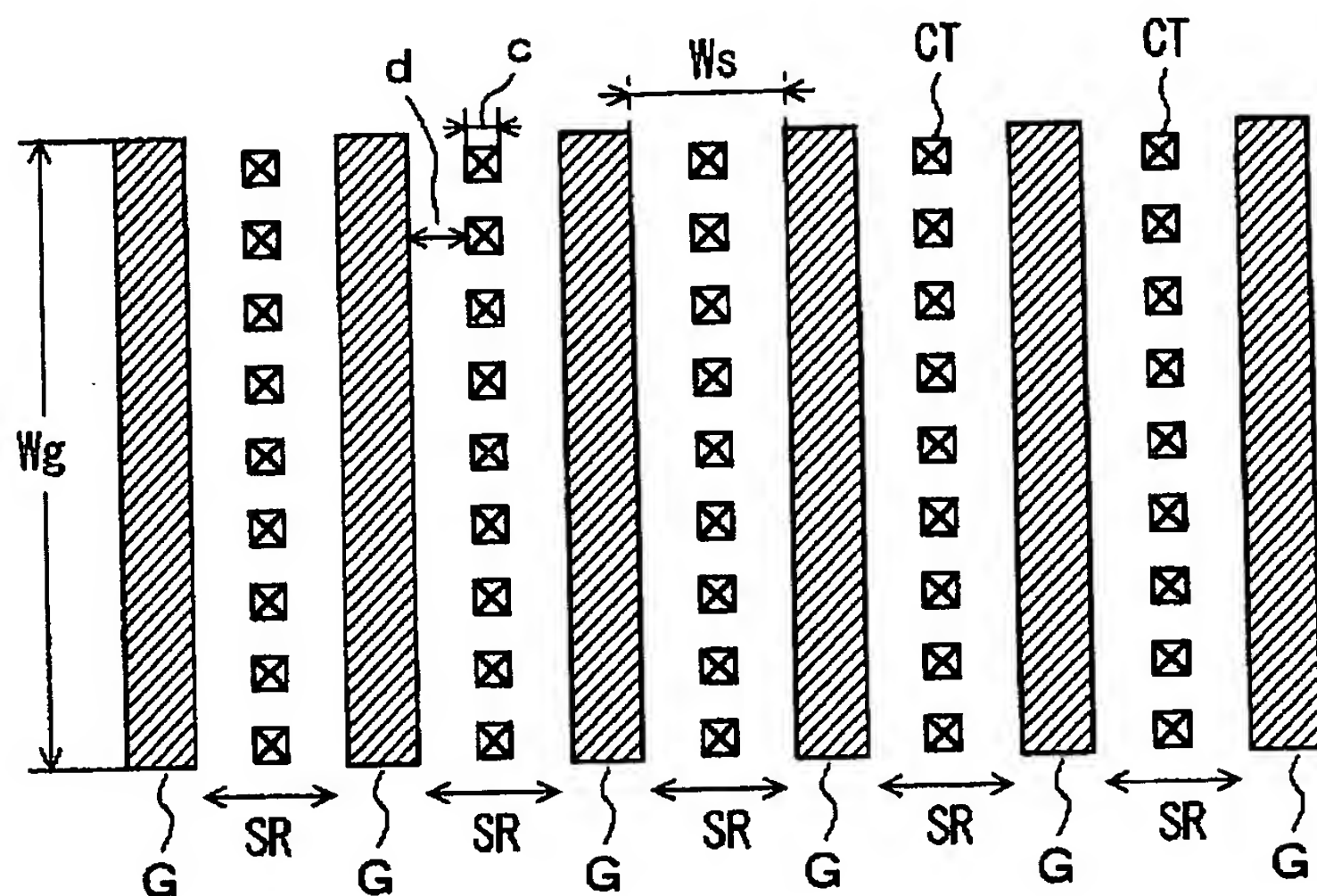
【図 14】



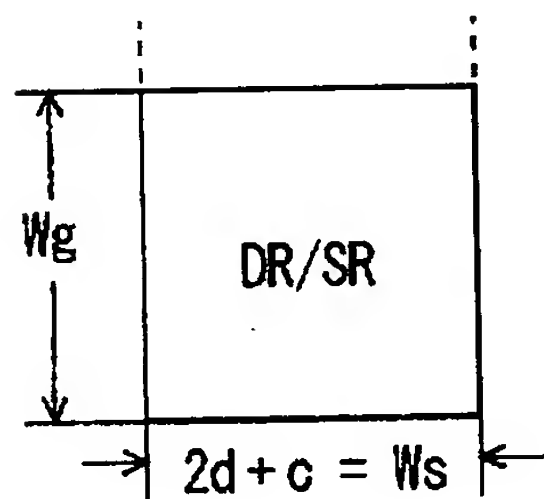
【図 15】



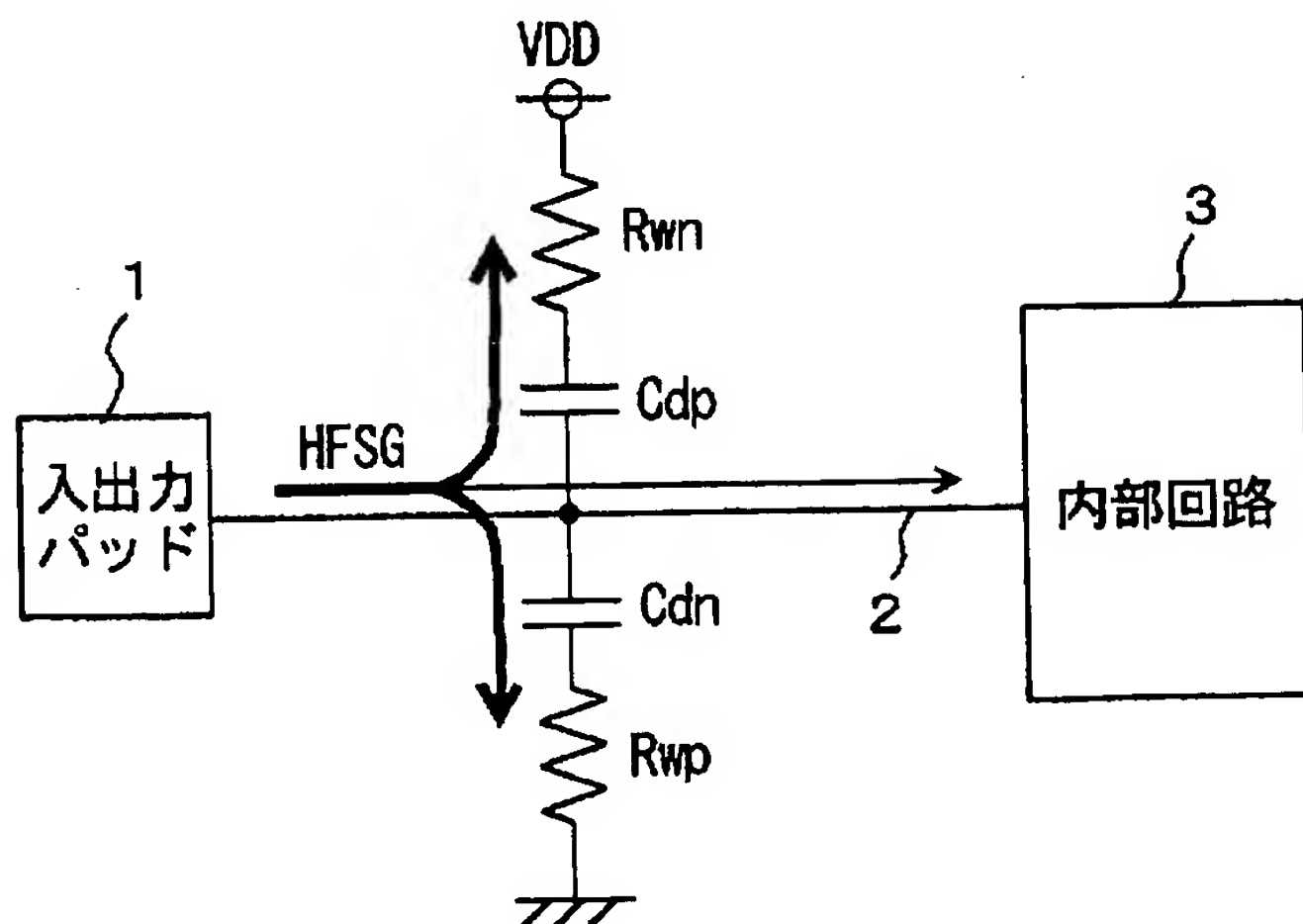
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 高周波特性を劣化させることなく静電気放電現象（E S D）による内部回路素子の破壊を防止することのできる高周波半導体装置を提供する。

【解決手段】 信号伝達線（2）と接地ノード（14）の間に、この半導体装置の動作周波数の実効波長の $1/4$ 倍の長さを有する $1/4$ 波長伝送線路（10）を設け、さらに、その伝送線路と内部回路（3）の間にサージ吸収素子を接続する。信号伝達線（2）は、容量素子（16）を介して内部回路（3）に結合する。また電源線（41）と接地線（43）の間に、これらの電源線と接地線間の電圧差が、所定電圧レベルにクランプするクランプ回路（45）を設ける。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社